

PLASMA DISPLAY PANEL DRIVING METHOD, PLASMA DISPLAY PANEL AND DISPLAY DEVICE

Publication number: JP10207417

Publication date: 1998-08-07

Inventor: ASAO SHIGEHARU; KOIZUMI HARUO; KANAZAWA GIICHI

Applicant: FUJITSU LTD

Classification:

- international: **H04N5/66; G09G3/20; G09G3/28; H04N5/66; G09G3/20; G09G3/28; (IPC1-7): G09G3/28; H04N5/66**

- European: G09G3/28T; G09G3/288C2R; G09G3/288C4D; G09G3/288C6; G09G3/288D; G09G3/288S4

Application number: JP19970012700 19970127

Priority number(s): JP19970012700 19970127

Also published as:

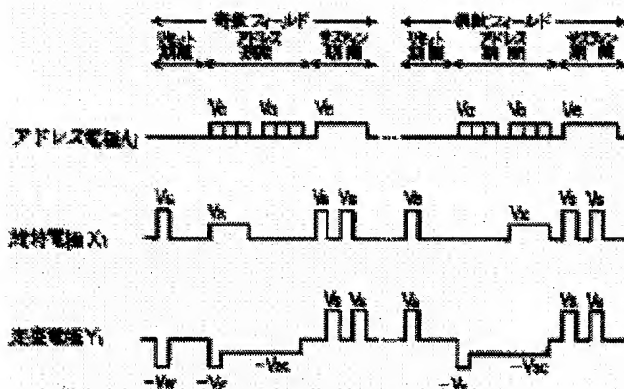
EP0855691 (A1)
US6160529 (A1)
EP0855691 (B1)
DE69733190T (T2)

Report a data error here

Abstract of JP10207417

PROBLEM TO BE SOLVED: To avoid the reduction of contrast in a plasma display panel of an interlaced system by regulating voltages to be impressed to slits which do not contribute to a display to be less than a discharge starting voltage in respective reset periods of odd numbered and even numbered fields.

SOLUTION: Each subfield has as reset period and when an immediately preceding subfield is completed, since a wall voltage in accordance with the display of the field is remained, a reset discharge is performed in the reset period being the beginning of a next field. This discharge is a strong discharge which is to be generated by impressing a voltage exceeding the discharge voltage between electrodes between sustenance electrodes X_i and scan electrodes Y_n and uniformizes the electric charge distribution of respective discharge cells regardless of the discharge state in the immediately preceding subfield. Then, in this system, respective electrode potentials are set to be more than the discharge starting voltage in display slits and to be less than the discharge starting voltage in non-display slits.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-207417

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

E

H 0 4 N 5/66

1 0 1

H 0 4 N 5/66

1 0 1 B

審査請求 未請求 請求項の数30 O L (全 34 頁)

(21) 出願番号 特願平9-12700

(22) 出願日 平成9年(1997) 1月27日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 浅生 重晴

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 小泉 治男

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

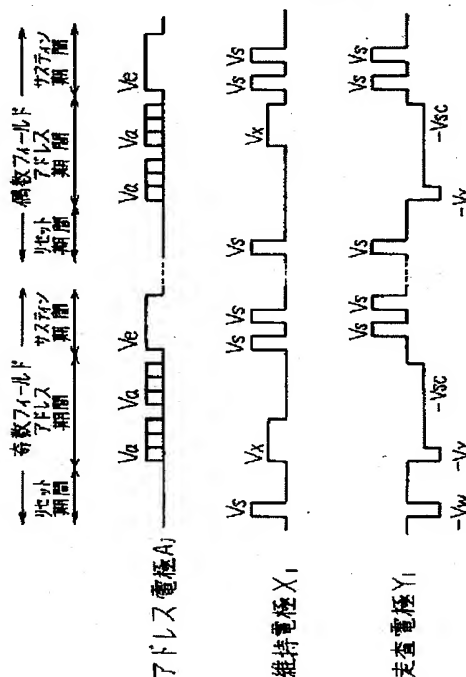
(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法、プラズマディスプレイパネル及び表示装置

(57) 【要約】 (修正有)

【課題】 インターレース方式のPDPにおいてコントラストの低下を回避する。

【解決手段】 リセット放電のタイミングをフィールド間で異ならせ、表示に寄与していない放電セルではリセット期間に放電を行わないようにする。偶数フィールドに対するリセット期間では奇数フィールドに属する奇数番目どうしおよび偶数番目どうしの維持電極と走査電極 X_1-Y_1 , X_3-Y_3 , ..., $X_{2n-1}-Y_{2n-1}$ の間の電位差を放電開始電圧未満とし、奇数フィールドに対するリセット期間では逆に偶数フィールドに属する維持電極と走査電極の間の電位差を放電開始電圧未満とする。無効な放電を減らすことでコントラストの低下を回避できる。

第一の実施例を示す波形図



【特許請求の範囲】

【請求項1】 第1の基板上に複数の維持電極 X_i 及び走査電極 Y_n を表示ラインごとと並行に配置すると共に、該第1の基板と対向する第2の基板上に、該維持電極 X_i 及び該走査電極 Y_n とは電氣的に離間した複数のアドレス電極 A_j を該維持電極 X_i 及び該走査電極 Y_n と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルの駆動方法であって、

奇数番目の維持電極 X_{2i-1} と走査電極 Y_{2n-1} 間及び、偶数番目の維持電極 X_{2i} と走査電極 Y_{2n} 間にてそれぞれ表示を行う奇数フィールドと、奇数番目の維持電極 X_{2i-1} と偶数番目の走査電極 Y_{2n} 間及び、偶数番目の維持電極 X_{2i} と奇数番目の走査電極 Y_{2n-1} 間にてそれぞれ表示を行う偶数フィールドとを備え、各奇数フィールド及び偶数フィールドは、それぞれ、

複数の該放電セル間の電荷分布を均一にするために該維持電極 X_i 、該走査電極 Y_n 、該アドレス電極 A_j に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施するリセット期間と、

該走査電極 Y_n と該アドレス電極 A_j 間にて選択した放電セルにおいて書き込み放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、

該アドレス期間にて書き込みを行った該放電セルにおいて前記表示のための放電発光を行うために、該維持電極 X_i と該走査電極 Y_n 間に維持放電パルスを印加する維持放電期間とを有し、

前記奇数フィールドのリセット期間における奇数番目の該維持電極 X_{2i-1} と該偶数番目の走査電極 Y_{2n} 間及び、該偶数番目の維持電極 X_{2i} と該奇数番目の走査電極 Y_{2n-1} 間の電位差、前記偶数フィールドのリセット期間における奇数番目の該維持電極 X_{2i-1} と該走査電極 Y_{2n-1} 間及び、偶数番目の該維持電極 X_{2i} と該走査電極 Y_{2n} 間の電位差を、それぞれ電極間の放電開始電圧未満とすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記奇数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間にて同一タイミングで行うものであり、前記偶数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間にて同一タイミングで行うものであることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記奇数フィールド及び偶数フィールドにおけるリセット放電は、各維持電極 X_i 及び走査電極 Y_n に正極性又は負極性のパルスを印加するものであり、該維持電極 X_i 及び走査電極 Y_n に印加されるパル

スは、

前記奇数フィールドにおいては、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} とで互いに異なる極性となるように、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} とで互いに異なる極性となるように、かつ、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} とで同一極性となるように、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} とで同一極性となるようにするものであって、

前記偶数フィールドにおいては、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} とで互いに異なる極性となるように、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} とで互いに異なる極性となるように、かつ、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} とで互いに同一極性となるように、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} とで同一極性となるようにするものであることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記奇数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} とに正極性の第一のパルスを印加し、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} とに負極性の第二のパルスを印加するものであり、

前記偶数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} とに正極性の第一のパルスを印加し、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} とに負極性の第二のパルスを印加するものであることを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 前記奇数フィールドにおける前記リセット放電は、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} とに正極性の第一のパルスを印加し、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} とに負極性の第二のパルスを印加するものであり、

前記偶数フィールドにおける前記リセット放電は、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} とに正極性の第一のパルスを印加し、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} とに負極性の第二のパルスを印加するものであることを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 前記奇数フィールド及び偶数フィールドにおける前記リセット放電の際、前記アドレス電極 A_j を接地電位とすることを特徴とする請求項4乃至5記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 前記奇数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間のうち、いずれか一方において前記維持電

極 X_i 及び前記走査電極 Y_n にそれぞれ互いに異なる極性の第一及び第二のパルス印加すると共に、他方において前記維持電極 X_i 及び前記走査電極 Y_n のいずれかに電極間の放電開始電圧以上の正極性の第三のパルスを印加するものであり、

前記偶数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間のうち、いずれか一方において前記維持電極 X_i 及び前記走査電極 Y_n にそれぞれ互いに異なる極性の第一及び第二のパルス印加すると共に、他方において前記維持電極 X_i 及び前記走査電極 Y_n のいずれかに電極間の放電開始電圧以上の正極性の第三のパルスを印加するものであることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 前記奇数フィールドにおける前記一方の電極間において、前記走査電極 Y_n には正極性の前記第一のパルスを印加し、前記維持電極 X_i には負極性の前記第二のパルスを印加すると共に、前記他方の電極間において、前記維持電極 X_i に正極性の前記第三のパルスを印加するものであり、

前記偶数フィールドにおける前記一方の電極間において、前記維持電極 X_i には正極性の前記第一のパルスを印加し、前記走査電極 Y_n には負極性の前記第二のパルスを印加すると共に、前記他方の電極間において、前記走査電極 Y_n に正極性の前記第三のパルスを印加するものであることを特徴とする請求項7記載のプラズマディスプレイパネルの駆動方法。

【請求項9】 前記奇数フィールドにおける前記他方の電極間において、前記走査電極 Y_n を接地電位とすると共に、前記偶数フィールドにおける前記他方の電極間において、前記維持電極 X_i を接地電位とすることを特徴とする請求項8記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 前記奇数フィールドにおける前記一方の電極間において、前記維持電極 X_i には正極性の前記第一のパルスを印加し、前記走査電極 Y_n には負極性の前記第二のパルスを印加すると共に、前記他方の電極間において、前記走査電極 Y_n に正極性の前記第三のパルスを印加するものであり、

前記偶数フィールドにおける前記一方の電極間において、前記走査電極 Y_n には正極性の前記第一のパルスを印加し、前記維持電極 X_i には負極性の前記第二のパルスを印加すると共に、前記他方の電極間において、前記維持電極 X_i に正極性の前記第三のパルスを印加するものであることを特徴とする請求項7記載のプラズマディスプレイパネルの駆動方法。

【請求項11】 前記奇数フィールドにおける前記他方の電極間において、前記維持電極 X_i を接地電位とすると共に、前記偶数フィールドにおける前記他方の電極間

において、前記走査電極 Y_n を接地電位とすることを特徴とする請求項10記載のプラズマディスプレイパネルの駆動方法。

【請求項12】 前記奇数フィールド及び偶数フィールドにおける前記リセット放電の際、前記アドレス電極 A_j を、前記一方の電極間の中間電位以上であり、かつ、前記他方の電極間の中間電位以下の電位とすることを特徴とする請求項8乃至11記載のプラズマディスプレイパネルの駆動方法。

【請求項13】 前記奇数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間のうち、いずれか一方において前記維持電極 X_i 及び前記走査電極 Y_n にそれぞれ互いに異なる極性の第一及び第二のパルスを印加すると共に、他方において前記維持電極 X_i 及び前記走査電極 Y_n のいずれかに放電開始電圧以上の負極性の第四のパルスを印加するものであり、

前記偶数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間のうち、いずれか一方において前記維持電極 X_i 及び前記走査電極 Y_n にそれぞれ互いに異なる極性の第一及び第二のパルスを印加すると共に、他方において前記維持電極 X_i 及び前記走査電極 Y_n のいずれかに電極間の放電開始電圧以上の負極性の第四のパルスを印加するものであることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項14】 前記奇数フィールドにおける前記一方の電極間において、前記走査電極 Y_n には正極性の前記第一のパルスを印加し、前記維持電極 X_i には負極性の前記第二のパルスを印加すると共に、前記他方の電極間において、前記走査電極 Y_n に負極性の前記第四のパルスを印加するものであり、

前記偶数フィールドにおける前記一方の電極間において、前記維持電極 X_i には正極性の前記第一のパルスを印加し、前記走査電極 Y_n には負極性の前記第二のパルスを印加すると共に、前記他方の電極間において、前記維持電極 X_i に負極性の前記第四のパルスを印加するものであることを特徴とする請求項13記載のプラズマディスプレイパネルの駆動方法。

【請求項15】 前記奇数フィールドにおける前記他方の電極間において、前記維持電極 X_i を接地電位とすると共に、前記偶数フィールドにおける前記他方の電極間において、前記走査電極 Y_n を接地電位とすることを特徴とする請求項14記載のプラズマディスプレイパネルの駆動方法。

【請求項16】 前記奇数フィールドにおける前記一方の電極間において、前記維持電極 X_i には正極性の前記第一のパルスを印加し、前記走査電極 Y_n には負極性の

前記第二のパルスを印加すると共に、前記他方の電極間において、前記維持電極 X_i に負極性の前記第四のパルスを印加するものであり、

前記偶数フィールドにおける前記一方の電極間において、前記走査電極 Y_n には正極性の前記第一のパルスを印加し、前記維持電極 X_i には負極性の前記第二のパルスを印加すると共に、前記他方の電極間において、前記走査電極 Y_n に負極性の前記第四のパルスを印加するものであることを特徴とする請求項13記載のプラズマディスプレイパネルの駆動方法。

【請求項17】 前記奇数フィールドにおける前記他方の電極間において、前記走査電極 Y_n を接地電位とすると共に、前記偶数フィールドにおける前記他方の電極間において、前記維持電極 X_i を接地電位とすることを特徴とする請求項16記載のプラズマディスプレイパネルの駆動方法。

【請求項18】 前記奇数フィールド及び偶数フィールドにおける前記リセット放電の際、前記アドレス電極 A_j を、前記他方の電極間の中間電位以上であり、かつ、前記一方の電極間の中間電位以下の電位とすることを特徴とする請求項15又は17記載のプラズマディスプレイパネルの駆動方法。

【請求項19】 前記奇数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間にて異なるタイミングで行うものであり、

前記偶数フィールドにおける前記リセット放電は、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間にて異なるタイミングで行うものであることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項20】 前記奇数フィールド及び偶数フィールドにおける前記リセット期間は、それぞれ第一のリセット期間及び第二のリセット期間とを有し、

前記奇数フィールドにおいて、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間のうち、一方でのリセット放電を該第一のリセット期間にて行った後、引き続き第二のリセット期間にて他方の電極間でのリセット放電を行い、

次いで、該一方の電極間による表示のための前記書き込み放電を順次行った後、該他方の電極間による表示のための前記書き込み放電を順次行い、

次いで、該一方及び他方の電極間による前記維持放電を実施するものであり、

前記偶数フィールドにおいて、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間

のうち、一方でのリセット放電を該第一のリセット期間にて行った後、引き続き第二のリセット期間にて他方の電極間でのリセット放電を行い、

次いで、該一方の電極間による表示のための前記書き込み放電を順次行った後、該他方の電極間による表示のための前記書き込み放電を順次行い、

次いで、該一方及び他方の電極間による前記維持放電を実施することを特徴とする請求項19記載のプラズマディスプレイパネルの駆動方法。

【請求項21】 前記奇数フィールドにおいて、前記第一のリセット期間に前記一方の電極間に電極間の放電開始電圧以上の正極性の第三のパルスを印加し、次いで前記第二のリセット期間に前記他方の電極間に電極間の放電開始電圧以上の正極性の第三のパルスを印加するものであり、

前記偶数フィールドにおいて、前記第一のリセット期間に前記一方の電極間に電極間の放電開始電圧以上の正極性の第三のパルスを印加し、次いで前記第二のリセット期間に前記他方の電極間に電極間の放電開始電圧以上の正極性の第三のパルスを印加するものであることを特徴とする請求項20記載のプラズマディスプレイパネルの駆動方法。

【請求項22】 前記奇数フィールドにおいて、前記第一のリセット期間に前記一方の電極間の維持電極 X_i に前記第三のパルスを印加すると共に、前記他方の電極間の走査電極 Y_n に正極性の第一のパルスを印加し、次いで前記第二のリセット期間に該他方の電極間の維持電極 X_i に該第三のパルスを印加すると共に、該一方の電極間の維持電極 X_i に該第一のパルスを印加するものであり、

前記偶数フィールドにおいて、前記第一のリセット期間に前記一方の電極間の走査電極 Y_n に前記第三のパルスを印加すると共に、前記他方の電極間の維持電極 X_i に正極性の第一のパルスを印加し、次いで前記第二のリセット期間に該他方の電極間の走査電極 Y_n に該第三のパルスを印加すると共に、該一方の電極間の走査電極 Y_n に該第一のパルスを印加することを特徴とする請求項21記載のプラズマディスプレイパネルの駆動方法。

【請求項23】 前記奇数フィールドにおいて、前記第一のリセット期間に前記一方の電極間の走査電極 Y_n に前記第三のパルスを印加すると共に、前記他方の電極間の維持電極 X_i に正極性の第一のパルスを印加し、次いで前記第二のリセット期間に該他方の電極間の走査電極 Y_n に該第三のパルスを印加すると共に、該一方の電極間の走査電極 Y_n に該第一のパルスを印加するものであり、

前記偶数フィールドにおいて、前記第一のリセット期間に前記一方の電極間の維持電極 X_i に前記第三のパルスを印加すると共に、前記他方の電極間の走査電極 Y_n に正極性の第一のパルスを印加し、次いで前記第二のリセ

ット期間に該他方の電極間の維持電極 X_i に該第三のパルス印加すると共に、該一方の電極間の維持電極 X_i に該第一のパルスを印加することを特徴とする請求項21記載のプラズマディスプレイパネルの駆動方法。

【請求項24】 前記奇数フィールド及び偶数フィールドにおける前記リセット期間の間、前記アドレス電極 A_j を、前記一方の電極間の中間電位と前記他方の電極間の中間電位との間の電位とすることを特徴とする請求項22乃至23記載のプラズマディスプレイパネルの駆動方法。

【請求項25】 前記奇数フィールド及び偶数フィールドにおける前記リセット期間は、それぞれ第一のリセット期間及び第二のリセット期間とを有し、前記奇数フィールドにおいて、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間のうち、一方でのリセット放電を該第一のリセット期間にて行った後、該一方の電極間による表示のための前記書き込み放電を順次行い、

次いで、他方の電極間でのリセット放電を該第二のリセット期間にて行った後、該他方の電極間による表示のための前記書き込み放電を順次行い、

次いで、該一方及び他方の電極間による前記維持放電を実施するものであり、

前記偶数フィールドにおいて、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間のうち、一方でのリセット放電を該第一のリセット期間にて行った後、該一方の電極間による表示のための前記書き込み放電を順次行い、

次いで、他方の電極間でのリセット放電を該第二のリセット期間にて行った後、該他方の電極間による表示のための前記書き込み放電を順次行い、

次いで、該一方及び他方の電極間による前記維持放電を実施することを特徴とする請求項19記載のプラズマディスプレイパネルの駆動方法。

【請求項26】 前記奇数フィールドにおいて、前記第一のリセット期間に前記一方の電極間に放電開始電圧以上の正極性の第三のパルスを印加すると共に、前記他方の電極間の前記維持電極 X_i 及び走査電極 Y_n にそれぞれ正極性の第一のパルスを印加し、次いで前記第二のリセット期間に前記他方の電極間に放電開始電圧以上の正極性の第三のパルスを印加すると共に、前記一方の電極間の前記維持電極 X_i 及び走査電極 Y_n にそれぞれ正極性の第一のパルスを印加するものであり、前記偶数フィールドにおいて、前記第一のリセット期間に前記一方の電極間に放電開始電圧以上の正極性の第三のパルスを印加すると共に、前記他方の電極間の前記維持電極 X_i 及び走査電極 Y_n にそれぞれ正極性の第一のパルスを印加し、次いで前記第二のリセット期間に前記

他方の電極間に放電開始電圧以上の正極性の第三のパルスを印加すると共に、前記一方の電極間の前記維持電極 X_i 及び走査電極 Y_n にそれぞれ正極性の第一のパルスを印加するものであることを特徴とする請求項20又は25記載のプラズマディスプレイパネルの駆動方法。

【請求項27】 前記奇数フィールドの前記第一のリセット期間において、前記一方の電極間の前記維持電極 X_i 及び走査電極 Y_n に互いに極性の異なる第一及び第二のパルスを印加し、前記第二のリセット期間において、前記他方の電極間の前記維持電極 X_i 及び走査電極 Y_n に互いに極性の異なる該第一及び第二のパルスを印加するものであり、

前記偶数フィールドの前記第一のリセット期間において、前記一方の電極間の前記維持電極 X_i 及び走査電極 Y_n に互いに極性の異なる第一及び第二のパルスを印加し、前記第二のリセット期間において、前記他方の電極間の前記維持電極 X_i 及び走査電極 Y_n に互いに極性の異なる該第一及び第二のパルスを印加することを特徴とする請求項20又は25記載のプラズマディスプレイパネルの駆動方法。

【請求項28】 前記奇数フィールド及び偶数フィールドは、前記リセット期間、アドレス期間、維持放電期間とをそれぞれ備えたサブフィールドを複数有し、該奇数フィールドから該偶数フィールドへ、又は該偶数フィールドから該奇数フィールドへと移行した際の最初の該サブフィールドにおける該リセット期間は、全ての前記維持電極 X_i 及び走査電極 Y_n 間の電位差を、それぞれ電極間の放電開始電圧以上とすることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項29】 第1の基板上に複数の維持電極 X_i 及び走査電極 Y_n を表示ラインごとと並行に配置すると共に、該第1の基板と対向する第2の基板上に、該維持電極 X_i 及び該走査電極 Y_n とは電気的に離間した複数のアドレス電極 A_j を該維持電極 X_i 及び該走査電極 Y_n と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルであって、奇数番目の維持電極 X_{2i-1} と走査電極 Y_{2n-1} 間及び、偶数番目の維持電極 X_{2i} と走査電極 Y_{2n} 間にてそれぞれ表示を行う奇数フィールドと、奇数番目の維持電極 X_{2i-1} と偶数番目の走査電極 Y_{2n} 間及び、偶数番目の維持電極 X_{2i} と奇数番目の走査電極 Y_{2n-1} 間にてそれぞれ表示を行う偶数フィールドとを備え、各奇数フィールド及び偶数フィールドは、それぞれ、

複数の該放電セル間の電荷分布を均一にするために該維持電極 X_i 、該走査電極 Y_n 、該アドレス電極 A_j に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施するリセット期間と、該走査電極 Y_n と該アドレス電極 A_j 間にて選択した放電セルにおいて書き込み放電を実施し、表示データに応

じた選択的な書き込みを行うアドレス期間と、
該アドレス期間にて書き込みを行った該放電セルにおいて前記表示のための放電発光を行うために、該維持電極 X_i と該走査電極 Y_n 間に維持放電パルスを印加する維持放電期間とを有し、

前記奇数フィールドのリセット期間における該奇数番目の維持電極 X_{2i-1} と該偶数番目の走査電極 Y_{2n} 間及び、該偶数番目の維持電極 X_{2i} と該奇数番目の走査電極 Y_{2n-1} 間の電位差、前記偶数フィールドのリセット期間における該奇数番目の維持電極 X_{2i-1} と該走査電極 Y_{2n-1} 間及び、偶数番目の該維持電極 X_{2i} と該走査電極 Y_{2n} 間の電位差が、それぞれ放電開始電圧未満に設定されてなることを特徴とするプラズマディスプレイパネル。

【請求項30】 第1の基板上に複数の維持電極 X_i 及び走査電極 Y_n を表示ラインごとと並行に配置すると共に、該第1の基板と対向する第2の基板上に、該維持電極 X_i 及び該走査電極 Y_n とは電気的に離間した複数のアドレス電極 A_j を該維持電極 X_i 及び該走査電極 Y_n と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルと、

該維持電極 X_i 、該走査電極 Y_n 、及び該アドレス電極 A_j をそれぞれ駆動するための駆動回路とを有し、奇数番目の維持電極 X_{2i-1} と走査電極 Y_{2n-1} 間及び、偶数番目の維持電極 X_{2i} と走査電極 Y_{2n} 間にてそれぞれ表示を行う奇数フィールドと、奇数番目の維持電極 X_{2i-1} と偶数番目の走査電極 Y_{2n} 間及び、偶数番目の維持電極 X_{2i} と奇数番目の走査電極 Y_{2n-1} 間にてそれぞれ表示を行う偶数フィールドとを備え、各奇数フィールド及び偶数フィールドは、それぞれ、

複数の該放電セル間の電荷分布を均一にするために該維持電極 X_i 、該走査電極 Y_n 、該アドレス電極 A_j に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施するリセット期間と、

該走査電極 Y_n と該アドレス電極 A_j 間にて選択した放電セルにおいて書き込み放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、

該アドレス期間にて書き込みを行った該放電セルにおいて前記表示のための放電発光を行うために、該維持電極 X_i と該走査電極 Y_n 間に維持放電パルスを印加する維持放電期間とを含む表示装置において、

前記奇数フィールドのリセット期間における該奇数番目の維持電極 X_{2i-1} と該偶数番目の走査電極 Y_{2n} 間及び、該偶数番目の維持電極 X_{2i} と該奇数番目の走査電極 Y_{2n-1} 間の電位差、前記偶数フィールドのリセット期間における該奇数番目の維持電極 X_{2i-1} と該走査電極 Y_{2n-1} 間及び、偶数番目の該維持電極 X_{2i} と該走査電極 Y_{2n} 間の電位差が、それぞれ放電開始電圧未満に設定されてなることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、メモリ機能を有する表示素子である放電セルの集合によって構成された表示パネルの駆動方法に係わり、特に、プラズマディスプレイパネル(Plasma Display Panel:PDP)の駆動方法、その駆動方法を用いたプラズマディスプレイパネル、及び表示装置に関する。

【0002】AC(交流)型PDPは、一対の維持電極に交互に電圧パルスを印加することで放電を持続し、発光表示を行うものである。一回の放電自体は、電圧パルス印加直後、 $1\mu s$ から数 μs で終了する。しかしながら放電によって発生した正電荷であるイオンは、負の電圧が印加されている電極上の絶縁層の表面に蓄積される。また、同時に発生した負電荷である電子は、正の電圧が印加されている電極上の絶縁層の表面に蓄積される。これらの蓄積された正負の電荷は、壁電荷と呼ばれる。従って、高い電圧パルス(書き込みパルス)の印加により放電を生じさせ、一旦上記壁電荷を生成すれば、それ以降は前回よりも低い電圧パルス(維持放電パルス)を蓄積した壁電荷に重畳するよう印加するだけで、放電電圧の閾値を越えて放電を開始する。つまり一度書き込み放電を行い壁電荷を生成した放電セルは、その後維持放電パルスを交互に逆極性で印加するだけで、放電を持続するという特徴がある。これをメモリ効果、またはメモリ機能と呼んでいる。一般にAC型PDPは、このメモリ効果を利用して表示を行うものである。

【0003】図10～13に、本出願人により既に出願がなされた(特願平8-194320号)インターレース方式のプラズマディスプレイパネル(PDP)及びその駆動方法を示す。図10は、インターレース方式のPDPを示す平面図である。平行に設けられた各走査電極 Y_n と各維持電極 X_i とはそれぞれ対をなし、1表示ラインを構成する。一方各アドレス電極 A_j は、走査電極 Y_n 及び維持電極 X_i と直交するよう配置され、各交差領域にて放電セルを形成する。本図では、簡単のため、走査電極 Y_n は $Y_1 \sim Y_4$ の4本、維持電極 X_i は $X_1 \sim X_5$ の5本、アドレス電極 A_j は $A_1 \sim A_5$ の5本としているが、実際には表示装置の解像度に応じて多数が設けられる。放電セルは、障壁2(リブ、或いはバリア等とも呼ばれる)によって、水平方向に隣接する放電セルとの空間的な結合が断ち切られている。

【0004】各維持電極 X_i はX共通ドライバ3に接続されるが、維持電極 X_i のうち奇数番目の電極がX共通ドライバA、偶数番目の電極がX共通ドライバBに接続される。図10ではX共通ドライバ3に代えて、符号31によりX共通ドライバAを、符号32によりX共通ドライバBを示している。X共通ドライバA、Bは、リセット放電のための全面書き込みパルスや維持放電パルス(V_s)等を維持電極 X_i に供給する。一方各走査電極 Y_n は、それぞれYスキヤンドドライバ4に接続されて個別に駆動される。更にYスキヤンドドライバ4はY共通ド

ライバ5に接続されるが、走査電極 Y_n のうち奇数番目の電極 Y_{2n-1} がY共通ドライバA、偶数番目の電極 Y_{2n} がY共通ドライバBに対応するように接続される。図10ではY共通ドライバ5に代えて、符号51によりY共通ドライバAを、符号52によりY共通ドライバBを示している。そして入力信号に応じて書き込み放電を行う際には、各走査電極 Y_n へ印加するスキャンパルス($-V_y$)をYスキャンドライバ3から個別に供給し、上記書き込み放電に基づいた表示のための維持放電を行う際には、各走査電極 Y_n へ印加する維持パルス(V_s)を、Y共通ドライバA、BからYスキャンドライバ3を経由して各走査電極 Y_n に供給する。なおアドレス電極 A_j は、それぞれ図示しないアドレスドライバに接続されて、個別に駆動される。

【0005】この出願済のインターレース方式による駆動方法の特徴は、走査電極 Y_n の両側に存在するスリット(電極間隙)を共に利用して放電を行う点である。すなわち従来の一般的な3電極・面放電型のPDPでは、放電を行うスリットが Y_1-X_1 間、 Y_2-X_2 間などと初めから特定されていた。このためN本の表示ラインを得るためには、走査電極 Y_n 、維持電極 X_i 合わせて $N \times 2$ 本の電極数が必要であり、高解像度パネルの実現への障害となっていた。一方このインターレース方式では、X共通ドライバをA、Bの2系統に分けたことで、走査信号を供給する走査電極 Y_n の両側に隣接する維持電極 X_i 及び X_{i+1} に対してそれぞれ異なる信号を供給することが可能となった。

【0006】映像信号に応じた書き込み放電を行う際には、走査信号に同期してアドレス電極に供給されたアドレス信号により走査電極 Y_n とアドレス電極 A_j 間で発生させた放電をトリガとして、走査電極 Y_n に隣接する維持電極 X_i との間でも放電を生じさせることで書き込みが行われる。インターレース方式では、走査電極 Y_n に隣接する2本の維持電極 X_i 及び X_{i+1} のうちの何方との間で放電を生じさせるかを選択することができる。すなわち本方式では、全スリットを放電に使用することが可能であり、N本の表示ラインを得るためには走査電極 Y_n 、維持電極 X_i 合わせて $N+1$ 本の電極があればよいのである。言い換えれば、従来と同じ電極数で約倍の表示ラインを得ることができる。

【0007】図11は、上記インターレース方式のPDPを示す断面図である。放電空間13は、対向する2枚のガラス基板11、14によって構成されている。前面ガラス基板14には走査電極 Y_n 及び維持電極 X_i とが平行に設けられており、これらの電極は、それぞれ透明電極15とバス電極16とによって構成されている。透明電極15はITO(Indium Tin Oxide)などから形成され、図示しない蛍光体からの反射光が透過できるようになっている。一方バス電極16は、一般的な配線用の金属に対して比較的抵抗の大きな透明電極15による電圧

ドロップを防ぐために、透明電極15に積層するように設けられている。このバス電極16は不透明であるため、表示領域を狭めることのないよう細幅にて形成する必要がある。これらの電極は、誘電体層17にて覆われている。

【0008】一方前面ガラス基板14と対向するよう配置される背面ガラス基板11には、アドレス電極 A_j が、走査電極 Y_n 及び維持電極 X_i と直交するように設けられている。アドレス電極 A_j も、走査電極 Y_n 及び維持電極 X_i と同様に、誘電体層12にて覆われている。そしてアドレス電極を覆う形で、赤、緑、青の発光特性を持つ図示しない蛍光体が形成される。

【0009】一般的なPDPでは放電を行うスリットが特定されているため、それに応じてバス電極16は透明電極15の端に設けられることが多い。一方インターレース方式のPDPでは、放電を行うスリットが特定されていないため、バス電極16は透明電極15の略中央に配置される。またL1~L3は、各スリットを示している。同図ではスリットL1及びL3にて放電を行っているが、次のタイミングではスリットL2にて放電を行うことにより、選択的な全スリットでの放電を行う。

【0010】図12はインターレース方式のフレームの構成を示す図であり、このインターレース方式のPDPにおける画像表示の1フレームを示している。この構成は、前述の特願平8-194320号に開示したものであるが、表示データに応じて書き込み放電を行うアドレス期間(A)と、書き込んだデータに基づいて維持放電(表示)を行うサステイン期間(S)とを時間的に分離し、重み付けの異なる複数のサブフィールドを組み合わせることで階調表示を行なう「ADSサブフィールド法(特願平5-310937)」を前提としたものである。なお実際には、アドレス期間の前に、イニシャライズとしてのリセット期間(R)が設けられる。

【0011】1フレームは奇数フィールドと偶数フィールドとに分割され、いずれのフィールドも前述のサブフィールドを複数(ここでは例として第1~3サブフィールド)有している。例えば奇数フィールドでは図10のスリットL1、L3を表示させ、偶数フィールドでは図10のスリットL2を表示させる。各サブフィールドでは、サステイン期間はそれぞれT1、2T1及び4T1となっており、その期間の長さに略比例した回数の維持放電が行われる。これらのサブフィールドを任意に選択することにより、8階調表示を実現することができる。同様にサブフィールド数を8とし、サステイン期間の比を1:2:4:8:16:32:64:128とすれば、256階調表示を実現することができる。なおサステイン期間の比は、必ずしも等比数列的に設定する必要はなく、維持放電回数を同数としたサブフィールドを複数設定したり、実際の表示輝度に応じて調整された放電回数を設定することもある。

【0012】

【従来の技術】図13は従来のインターレース駆動を示す波形図である。前述のように1フレームは奇数フィールドと偶数フィールドとに二分割されており、各奇数、偶数フィールドは更に複数のサブフィールドにより構成されている。ただし本図では、奇数、偶数フィールドのうち1サブフィールドだけを示した。各サブフィールドはリセット期間、アドレス期間、サステイン期間とに分離されており、リセット期間は直前のサブフィールド終了時に残留した壁電荷をリセットするもの、アドレス期間は表示データに応じた書き込み放電を行って任意の放電セル内に壁電荷を蓄積するためのもの、サステイン期間はアドレス期間にて壁電荷を蓄積した放電セルにおいて表示のための維持放電を行うものである。

【0013】まず奇数フィールドでの駆動について説明する。リセット期間では、全面書き込みパルス $V_s + V_w$ を全維持電極 X_i に印加する。全走査電極は接地電位に維持されているため、維持電極 X_i と走査電極 Y_n 間の電位差 $V_s + V_w$ は電極間の放電開始電圧を越えて、全電極間すなわち全スリットにてリセット放電が行われる。このときアドレス電極 A_j との間で放電が生じないように、アドレス電極 A_j にはパルス V_{aw} が印加されて維持電極 X_i との間の電位差を引き下げようとしている。全スリットでの全面書き込み放電の結果、各電極上にはそれぞれ極性の異なる過剰な壁電荷が蓄積される。書き込みパルスの印加後に全電極を同電位（この場合は接地電位）とすると、この壁電荷自身の電位差が放電開始電圧を越えることで自己消去放電が生じ、電極上の壁電荷は中和されて消去される。

【0014】アドレス期間は前半と後半とに更に分割される。前半では例えば奇数番目の走査電極 Y_{2n-1} が順に走査され、後半では偶数番目の走査電極が順に走査される。まず前半では、走査電極 Y_{2n-1} に対して順次走査パルス $-V_y$ が印加される。この走査パルス $-V_y$ は、アドレス期間の間維持されるベースパルス $-V_{sc}$ に重畳するように印加されるものである。そしてこの走査パルス $-V_y$ に同期して、アドレス電極 A_j に選択的にアドレスパルス（データ） V_a を印加することで、走査電極 Y_{2n-1} とアドレス電極 A_j 間にて書き込み放電が行われる。このとき維持電極 X_i のうち、奇数番目の維持電極 X_{2i-1} のみ前半期間の間電位を V_x に維持しておくことで、放電スリットを特定することができる。すなわちパルス V_x を印加した維持電極 X_{2i-1} との間でのみ、書き込み放電を種火とした放電が生じ、走査電極 Y_{2n-1} と維持電極 X_{2i-1} とにより構成される放電セルに壁電荷が蓄積されるのである。

【0015】次いでアドレス期間の後半では、残る偶数番目の走査電極 Y_{2n} が順次走査され、それに同期してアドレス電極 A_j に選択的にアドレスパルス V_a が印加される。同時に偶数番目の維持電極 X_{2i} にのみパルス V_x

が印加されることで、走査電極 Y_{2n} と維持電極 X_{2i} にて選択的に放電が行われ、壁電荷が蓄積される。サステイン期間では、走査電極 Y_n と維持電極 X_i とに交互に維持放電パルス V_s を印加することで、前記アドレス期間にて壁電荷を蓄積した放電セルにおいて表示のための維持放電が行われる。このとき奇数フィールドでは、奇数番目の走査電極 Y_{2n-1} と偶数番目の維持電極 X_{2i} 、及び偶数番目の走査電極 Y_{2n} と奇数番目の維持電極 X_{2i-1} とが同位相となるようにしているため、これらのスリットでは電位差が生じずに維持放電は行われない。従って奇数フィールドでは、奇数番目の電極同士、及び偶数番目の電極同志の間でのみ維持放電が行われるのである。

【0016】続く偶数フィールドでの駆動について説明する。リセット期間は前述した奇数フィールドと同じ動作が行われるため、同じように全スリットでのリセット放電が行われ、次いで自己消去放電が行われる。一方アドレス期間では、その前半において同様に奇数番目の走査電極 Y_{2n-1} が順に走査されるわけであるが、このとき維持電極 X_i のうちの偶数番目の維持電極 X_{2i} において電位が V_x に維持される。この結果偶数フィールドでは、奇数番目の走査電極 Y_{2n-1} と偶数番目の維持電極 X_{2i} との間でのみ、書き込み放電を種火とした放電が生じ、走査電極 Y_{2n-1} と維持電極 X_{2i} とにより構成される放電セルに壁電荷が蓄積されるのである。

【0017】次いでアドレス期間の後半では、残る偶数番目の走査電極 Y_{2n} が順次走査され、同時に奇数番目の維持電極 X_{2i-1} にのみパルス V_x が印加されることで、走査電極 Y_{2n} と維持電極 X_{2i-1} にて選択的に放電が行われ、壁電荷が蓄積される。続くサステイン期間では、奇数番目の電極同士、及び偶数番目の電極同士が同位相となるようにしているため、これらスリットでは電位差が生じずに維持放電は行われない。従って偶数フィールドでは、奇数番目の電極と偶数番目の電極との間でのみ維持放電が行われるのである。

【0018】

【発明が解決しようとする課題】しかしながら上述の駆動方法には、リセット放電によるコントラストの低下という問題点が存在していた。一般的にPDPの課題の一つは、CRTなどに比べてコントラストが低いことだと言われている。コントラストを低くしている原因の一つは、リセット放電による無効発光にあった。すなわちPDPにおいて画像表示に直接寄与しているのは維持放電による発光であるが、一方で他の期間における放電も発光をもたらすため、直接画像表示に寄与しないリセット放電時による無効発光が非表示時の黒レベルを引き下げてしまうことが指摘されている。

【0019】インターレース方式を採用した場合、このコントラストが更に低下してしまう傾向があることが本発明者らの実験によって確認された。この原因は、リセット期間における全スリットでの放電にあった。すなわ

奇数フィールドにおいては、実際に維持放電を行うのは奇数番目の電極間及び偶数番目の電極間のスリットであるわけだが、リセット放電は他方のスリットにおいても行われてしまう。また偶数フィールドにおいても、実際に維持放電を行うのは奇数番目の電極と偶数番目の電極間のスリットであるわけだが、リセット放電は他方のスリットにおいても行われてしまう。従ってインターレース方式では、1スリットにつき奇数フィールドと偶数フィールドとで計2回のリセット放電が行われてしまった。インターレース方式ではないPDPの場合、1サブフィールドにおいて1ラインにつき1回のリセット放電であったから、単純に計算してもリセット放電の回数は倍加したことになる。これは高解像度パネルを目的としたインターレース方式としては、大きな問題であった。

【0020】本発明は、インターレース方式のプラズマディスプレイパネルにおいて、コントラストの低下を回避する方法、その方法を採用したプラズマディスプレイパネル、及び表示装置を提供することを目的とする。

【0021】

【課題を解決するための手段】請求項1による発明では、第1の基板上に複数の維持電極 X_i 及び走査電極 Y_n を表示ラインごとに並行に配置すると共に、該第1の基板と対向する第2の基板上に、該維持電極 X_i 及び該走査電極 Y_n とは電気的に離間した複数のアドレス電極 A_j を該維持電極 X_i 及び該走査電極 Y_n と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルの駆動方法であって、奇数番目の維持電極 X_{2i-1} と走査電極 Y_{2n-1} 間及び、偶数番目の維持電極 X_{2i} と走査電極 Y_{2n} 間にてそれぞれ表示を行う奇数フィールドと、奇数番目の維持電極 X_{2i-1} と偶数番目の走査電極 Y_{2n} 間及び、偶数番目の維持電極 X_{2i} と奇数番目の走査電極 Y_{2n-1} 間にてそれぞれ表示を行う偶数フィールドとを備え、各奇数フィールド及び偶数フィールドは、それぞれ、複数の該放電セル間の電荷分布を均一にするために該維持電極 X_i 、該走査電極 Y_n 、該アドレス電極 A_j に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施するリセット期間と、該走査電極 Y_n と該アドレス電極 A_j 間にて選択した放電セルにおいて書き込み放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、該アドレス期間にて書き込みを行った該放電セルにおいて前記表示のための放電発光を行うために、該維持電極 X_i と該走査電極 Y_n 間に維持放電パルスを印加する維持放電期間とを有し、前記奇数フィールドのリセット期間における奇数番目の該維持電極 X_{2i-1} と該偶数番目の走査電極 Y_{2n} 間及び、該偶数番目の維持電極 X_{2i} と該奇数番目の走査電極 Y_{2n-1} 間の電位差、前記偶数フィールドのリセット期間における奇数番目の該維持電極 X_{2i-1} と該走査電極 Y_{2n-1} 間及び、偶数番目の該維持電極 X_{2i} と該走査電極 Y_{2n} 間の電位差を、それぞれ電極間の放電

開始電圧未満となるようにする。

【0022】請求項1に係わる本発明では、奇数及び偶数フィールドの各リセット期間において、表示に寄与しない、すなわち維持放電を行わないスリットに印加される電圧が、放電開始電圧未満となるようにしている。このためリセット放電は、表示に寄与するスリットのみで行なわれることになり、表示に寄与しないスリットではリセット放電は生じない。従って、表示に寄与しない無効放電を減らすことができ、コントラストの低下を回避することができる。

【0023】請求項2による発明では、請求項1の発明において、前記奇数フィールドにおける前記リセット放電を、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間にて同一タイミングで行い、前記偶数フィールドにおける前記リセット放電を、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間にて同一タイミングで行うようにする。

【0024】請求項3による発明では、請求項2の発明において、前記奇数フィールド及び偶数フィールドにおけるリセット放電を、各維持電極 X_i 及び走査電極 Y_n に印加される正極性又は負極性のパルスにて実施し、該維持電極 X_i 及び走査電極 Y_n に印加されるパルスは、前記奇数フィールドにおいては、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} とで互いに異なる極性となるように、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} とで互いに異なる極性となるように、かつ、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} とで同一極性となるように、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} とで同一極性となるようにし、前記偶数フィールドにおいては、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} とで互いに異なる極性となるように、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} とで互いに異なる極性となるように、かつ、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} とで互いに同一極性となるように、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} とで同一極性となるようにする。

【0025】請求項4による発明では、請求項3の発明において、前記奇数フィールドにおける前記リセット放電の際、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} には正極性の第一のパルスを、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} には負極性の第二のパルスをとを印加し、前記偶数フィールドにおける前記リセット放電の際、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} には正極性の第一のパルスを、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} には負極性の第二のパルスをとを印加するようにする。

【0026】請求項5による発明では、請求項3の発明

において、前記奇数フィールドにおける前記リセット放電の際、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} には正極性の第一のパルスを、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} には負極性の第二のパルスとを印加し、前記偶数フィールドにおける前記リセット放電の際、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} には正極性の第一のパルスを、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} には負極性の第二のパルスとを印加するようにする。

【0027】請求項6による発明では、請求項4乃至5の発明において、前記奇数フィールド及び偶数フィールドにおける前記リセット放電の際、前記アドレス電極 A_j を接地電位とする。請求項7による発明では、請求項2の発明において、前記奇数フィールドにおける前記リセット放電を、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間のうち、いずれか一方において前記維持電極 X_i 及び前記走査電極 Y_n に印加されるそれぞれ互いに異なる極性の第一及び第二のパルスと、他方において前記維持電極 X_i 及び前記走査電極 Y_n のいずれかに印加される電極間の放電開始電圧以上の正極性の第三のパルスとにより実施し、前記偶数フィールドにおける前記リセット放電を、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間のうち、いずれか一方において前記維持電極 X_i 及び前記走査電極 Y_n に印加されるそれぞれ互いに異なる極性の第一及び第二のパルスと、他方において前記維持電極 X_i 及び前記走査電極 Y_n のいずれかに印加される電極間の放電開始電圧以上の正極性の第三のパルスとにより実施するようにする。

【0028】請求項8による発明では、請求項7の発明において、前記奇数フィールドにおける前記一方の電極間の前記走査電極 Y_n には正極性の前記第一のパルスを、前記維持電極 X_i には負極性の前記第二のパルスを、前記他方の電極間の前記維持電極 X_i に正極性の前記第三のパルスを印加するようにし、前記偶数フィールドにおける前記一方の電極間の前記維持電極 X_i には正極性の前記第一のパルスを、前記走査電極 Y_n には負極性の前記第二のパルスを、前記他方の電極間の前記走査電極 Y_n に正極性の前記第三のパルスを印加するようにする。

【0029】請求項9による発明では、請求項8の発明において、前記奇数フィールドにおける前記他方の電極間の前記走査電極 Y_n を接地電位とし、前記偶数フィールドにおける前記他方の電極間の前記維持電極 X_i を接地電位とする。請求項10による発明では、請求項7の発明において、前記奇数フィールドにおける前記一方の電極間の前記維持電極 X_i には正極性の前記第一のパル

スを、前記走査電極 Y_n には負極性の前記第二のパルスを、前記他方の電極間の前記走査電極 Y_n には正極性の前記第三のパルスを印加し、前記偶数フィールドにおける前記一方の電極間の前記走査電極 Y_n には正極性の前記第一のパルスを、前記維持電極 X_i には負極性の前記第二のパルスを、前記他方の電極間の前記維持電極 X_i には正極性の前記第三のパルスを印加するようにする。

【0030】請求項11による発明では、請求項10の発明において、前記奇数フィールドにおける前記他方の電極間の前記維持電極 X_i を接地電位とし、前記偶数フィールドにおける前記他方の電極間の前記走査電極 Y_n を接地電位とする。請求項12による発明では、請求項8乃至11の発明において、前記奇数フィールド及び偶数フィールドにおける前記リセット放電の際、前記アドレス電極 A_j を、前記一方の電極間の中間電位以上、かつ、前記他方の電極間の中間電位以下の電位となるようにする。

【0031】請求項13による発明では、請求項2の発明において、前記奇数フィールドにおける前記リセット放電を、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間のうち、いずれか一方において前記維持電極 X_i 及び前記走査電極 Y_n に印加されるそれぞれ互いに異なる極性の第一及び第二のパルスと、他方において前記維持電極 X_i 及び前記走査電極 Y_n のいずれかに印加される電極間の放電開始電圧以上の負極性の第四のパルスとにより実施し、前記偶数フィールドにおける前記リセット放電を、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間のうち、いずれか一方において前記維持電極 X_i 及び前記走査電極 Y_n に印加されるそれぞれ互いに異なる極性の第一及び第二のパルスと、他方において前記維持電極 X_i 及び前記走査電極 Y_n のいずれかに印加される電極間の放電開始電圧以上の負極性の第四のパルスとにより実施するようにする。

【0032】請求項14による発明では、請求項13の発明において、前記奇数フィールドにおける前記一方の電極間の前記走査電極 Y_n には正極性の前記第一のパルスを、前記維持電極 X_i には負極性の前記第二のパルスを、前記他方の電極間の前記走査電極 Y_n には負極性の前記第四のパルスを印加し、前記偶数フィールドにおける前記一方の電極間の前記維持電極 X_i には正極性の前記第一のパルスを、前記走査電極 Y_n には負極性の前記第二のパルスを、前記他方の電極間の前記維持電極 X_i には負極性の前記第四のパルスを印加するようにする。

【0033】請求項15による発明では、請求項14の発明において、前記奇数フィールドにおける前記他方の電極間の前記維持電極 X_i を接地電位とし、前記偶数フィールドにおける前記他方の電極間の前記走査電極 Y_n

を接地電位とする。請求項16による発明では、請求項13の発明において、前記奇数フィールドにおける前記一方の電極間の前記維持電極 X_i には正極性の前記第一のパルスを、前記走査電極 Y_n には負極性の前記第二のパルスを、前記他方の電極間の前記維持電極 X_i には負極性の前記第四のパルスを印加し、前記偶数フィールドにおける前記一方の電極間の前記走査電極 Y_n には正極性の前記第一のパルスを、前記維持電極 X_i には負極性の前記第二のパルスを、前記他方の電極間の前記走査電極 Y_n に負極性の前記第四のパルスを印加するようにする。

【0034】請求項17による発明では、請求項16の発明において、前記奇数フィールドにおける前記他方の電極間の前記走査電極 Y_n を接地電位とし、前記偶数フィールドにおける前記他方の電極間の前記維持電極 X_i を接地電位とする。請求項18による発明では、請求項15又は17の発明において、前記奇数フィールド及び偶数フィールドにおける前記リセット放電の際、前記アドレス電極 A_j を、前記他方の電極間の中間電位以上、かつ、前記一方の電極間の中間電位以下の電位となるようにする。

【0035】請求項19による発明では、請求項1の発明において、前記奇数フィールドにおける前記リセット放電を、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間にて異なるタイミングで行い、前記偶数フィールドにおける前記リセット放電を、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間にて異なるタイミングで行うようにする。

【0036】請求項20による発明では、請求項19の発明において、前記奇数フィールド及び偶数フィールドにおける前記リセット期間が、それぞれ第一のリセット期間及び第二のリセット期間とを有するようにし、前記奇数フィールドにおいて、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間のうち、一方でのリセット放電を該第一のリセット期間にて行った後、引き続き第二のリセット期間にて他方の電極間でのリセット放電を行い、次いで、該一方の電極間による表示のための前記書き込み放電を順次行った後、該他方の電極間による表示のための前記書き込み放電を順次行い、次いで、該一方及び他方の電極間による前記維持放電を実施するようにし、前記偶数フィールドにおいて、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間のうち、一方でのリセット放電を該第一のリセット期間にて行った後、引き続き第二のリセット期間にて他方の電極間でのリセット放電を行い、次いで、該一方の電極間による表示のための前記書き込み放電を順次

行った後、該他方の電極間による表示のための前記書き込み放電を順次行い、次いで、該一方及び他方の電極間による前記維持放電を実施するようにする。

【0037】請求項21による発明では、請求項19の発明において、前記奇数フィールドの前記第一のリセット期間に前記一方の電極間に電極間の放電開始電圧以上の正極性の第三のパルスを印加し、次いで前記第二のリセット期間に前記他方の電極間に電極間の放電開始電圧以上の正極性の第三のパルスを印加し、前記偶数フィールドの前記第一のリセット期間に前記一方の電極間に電極間の放電開始電圧以上の正極性の第三のパルスを印加し、次いで前記第二のリセット期間に前記他方の電極間に電極間の放電開始電圧以上の正極性の第三のパルスを印加するようにする。

【0038】請求項22による発明では、請求項21の発明において、前記奇数フィールドの前記第一のリセット期間の際、前記一方の電極間の維持電極 X_i には前記第三のパルスを、前記他方の電極間の走査電極 Y_n には正極性の第一のパルスを印加し、次いで前記第二のリセット期間の際、該他方の電極間の維持電極 X_i には該第三のパルスを、該一方の電極間の維持電極 X_i には該第一のパルスを印加し、前記偶数フィールドにおいて、前記第一のリセット期間の際、前記一方の電極間の走査電極 Y_n には前記第三のパルスを、前記他方の電極間の維持電極 X_i には正極性の第一のパルスを印加し、次いで前記第二のリセット期間の際、該他方の電極間の走査電極 Y_n には該第三のパルスを、該一方の電極間の走査電極 Y_n には該第一のパルスを印加するようにする。

【0039】請求項23による発明では、請求項21の発明において、前記奇数フィールドの前記第一のリセット期間の際、前記一方の電極間の走査電極 Y_n には前記第三のパルスを、前記他方の電極間の維持電極 X_i には正極性の第一のパルスを印加し、次いで前記第二のリセット期間の際、該他方の電極間の走査電極 Y_n には該第三のパルスを、該一方の電極間の走査電極 Y_n には該第一のパルスを印加し、前記偶数フィールドの前記第一のリセット期間の際、前記一方の電極間の維持電極 X_i には前記第三のパルスを、前記他方の電極間の走査電極 Y_n には正極性の第一のパルスを印加し、次いで前記第二のリセット期間の際、該他方の電極間の維持電極 X_i には該第三のパルスを、該一方の電極間の維持電極 X_i には該第一のパルスを印加するようにする。

【0040】請求項24による発明では、請求項22乃至23の発明において、前記奇数フィールド及び偶数フィールドにおける前記リセット期間の間、前記アドレス電極 A_j を、前記一方の電極間の中間電位と前記他方の電極間の中間電位との間の電位となるようにする。請求項25による発明では、請求項19の発明において、前記奇数フィールド及び偶数フィールドにおける前記リセット期間が、それぞれ第一のリセット期間及び第二のリ

セット期間とを有するようにし、前記奇数フィールドにおいて、前記奇数番目の維持電極 X_{2i-1} と前記走査電極 Y_{2n-1} 間及び、前記偶数番目の維持電極 X_{2i} と前記走査電極 Y_{2n} 間のうち、一方でのリセット放電を該第一のリセット期間にて行った後、該一方の電極間による表示のための前記書き込み放電を順次行い、次いで、他方の電極間でのリセット放電を該第二のリセット期間にて行った後、該他方の電極間による表示のための前記書き込み放電を順次行い、次いで、該一方及び他方の電極間による前記維持放電を実施するようにし、前記偶数フィールドにおいて、前記奇数番目の維持電極 X_{2i-1} と前記偶数番目の走査電極 Y_{2n} 間及び、前記偶数番目の維持電極 X_{2i} と前記奇数番目の走査電極 Y_{2n-1} 間のうち、一方でのリセット放電を該第一のリセット期間にて行った後、該一方の電極間による表示のための前記書き込み放電を順次行い、次いで、他方の電極間でのリセット放電を該第二のリセット期間にて行った後、該他方の電極間による表示のための前記書き込み放電を順次行い、次いで、該一方及び他方の電極間による前記維持放電を実施するようにする。

【0041】請求項26による発明では、請求項20又は25の発明において、前記奇数フィールドの前記第一のリセット期間の際、前記一方の電極間には電極間の放電開始電圧以上の正極性の第三のパルスを、前記他方の電極間の前記維持電極 X_i 及び走査電極 Y_n にはそれぞれ正極性の第一のパルスを印加し、次いで前記第二のリセット期間の際、前記他方の電極間には電極間の放電開始電圧以上の正極性の第三のパルスを、前記一方の電極間の前記維持電極 X_i 及び走査電極 Y_n にはそれぞれ正極性の第一のパルスを印加し、前記偶数フィールドの前記第一のリセット期間の際、前記一方の電極間には電極間の放電開始電圧以上の正極性の第三のパルスを、前記他方の電極間の前記維持電極 X_i 及び走査電極 Y_n にはそれぞれ正極性の第一のパルスを印加し、次いで前記第二のリセット期間の際、前記他方の電極間には電極間の放電開始電圧以上の正極性の第三のパルスを、前記一方の電極間の前記維持電極 X_i 及び走査電極 Y_n にはそれぞれ正極性の第一のパルスを印加するようにする。

【0042】請求項27による発明では、請求項20又は25の発明において、前記奇数フィールドの前記第一のリセット期間の際、前記一方の電極間の前記維持電極 X_i 及び走査電極 Y_n には互いに極性の異なる第一及び第二のパルスを印加し、前記第二のリセット期間の際、前記他方の電極間の前記維持電極 X_i 及び走査電極 Y_n に互いに極性の異なる該第一及び第二のパルスを印加し、前記偶数フィールドの前記第一のリセット期間の際、前記一方の電極間の前記維持電極 X_i 及び走査電極 Y_n に互いに極性の異なる第一及び第二のパルスを印加し、前記第二のリセット期間の際、前記他方の電極間の前記維持電極 X_i 及び走査電極 Y_n に互いに極性の異なる

る該第一及び第二のパルスを印加するようにする。

【0043】請求項28による発明では、請求項1の発明において、前記奇数フィールド及び偶数フィールドが、前記リセット期間、アドレス期間、維持放電期間とをそれぞれ備えたサブフィールドを複数有するようにし、該奇数フィールドから該偶数フィールドへ、又は該偶数フィールドから該奇数フィールドへと移行した際の最初のサブフィールドにおけるリセット期間は、全ての前記維持電極 X_i 及び走査電極 Y_n 間の電位差が、それぞれ電極間の放電開始電圧以上となるようにする。

【0044】請求項29による発明では、第1の基板上に複数の維持電極 X_i 及び走査電極 Y_n を表示ラインごとと並行に配置すると共に、該第1の基板と対向する第2の基板上に、該維持電極 X_i 及び該走査電極 Y_n とは電気的に離間した複数のアドレス電極 A_j を該維持電極 X_i 及び該走査電極 Y_n と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルであって、奇数番目の維持電極 X_{2i-1} と走査電極 Y_{2n-1} 間及び、偶数番目の維持電極 X_{2i} と走査電極 Y_{2n} 間にてそれぞれ表示を行う奇数フィールドと、奇数番目の維持電極 X_{2i-1} と偶数番目の走査電極 Y_{2n} 間及び、偶数番目の維持電極 X_{2i} と奇数番目の走査電極 Y_{2n-1} 間にてそれぞれ表示を行う偶数フィールドとを備え、各奇数フィールド及び偶数フィールドは、それぞれ、複数の該放電セル間の電荷分布を均一にするために該維持電極 X_i 、該走査電極 Y_n 、該アドレス電極 A_j に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施するリセット期間と、該走査電極 Y_n と該アドレス電極 A_j 間にて選択した放電セルにおいて書き込み放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、該アドレス期間にて書き込みを行った該放電セルにおいて前記表示のための放電発光を行うために、該維持電極 X_i と該走査電極 Y_n 間に維持放電パルスを印加する維持放電期間とを有し、前記奇数フィールドのリセット期間における該奇数番目の維持電極 X_{2i-1} と該偶数番目の走査電極 Y_{2n} 間及び、該偶数番目の維持電極 X_{2i} と該奇数番目の走査電極 Y_{2n-1} 間の電位差、前記偶数フィールドのリセット期間における該奇数番目の維持電極 X_{2i-1} と該走査電極 Y_{2n-1} 間及び、偶数番目の該維持電極 X_{2i} と該走査電極 Y_{2n} 間の電位差が、それぞれ電極間の放電開始電圧未満に設定されるようにする。

【0045】請求項30による発明では、第1の基板上に複数の維持電極 X_i 及び走査電極 Y_n を表示ラインごとと並行に配置すると共に、該第1の基板と対向する第2の基板上に、該維持電極 X_i 及び該走査電極 Y_n とは電気的に離間した複数のアドレス電極 A_j を該維持電極 X_i 及び該走査電極 Y_n と交差するように配置し、各交差領域にそれぞれ放電セルを形成したプラズマディスプレイパネルと、該維持電極 X_i 、該走査電極 Y_n 、及び

該アドレス電極 A_j をそれぞれ駆動するための駆動回路とを有し、奇数番目の維持電極 X_{2i-1} と走査電極 Y_{2n-1} 間及び、偶数番目の維持電極 X_{2i} と走査電極 Y_{2n} 間にてそれぞれ表示を行う奇数フィールドと、奇数番目の維持電極 X_{2i-1} と偶数番目の走査電極 Y_{2n} 間及び、偶数番目の維持電極 X_{2i} と奇数番目の走査電極 Y_{2n-1} 間にてそれぞれ表示を行う偶数フィールドとを備え、各奇数フィールド及び偶数フィールドは、それぞれ、複数の該放電セル間の電荷分布を均一にするために該維持電極 X_i 、該走査電極 Y_n 、該アドレス電極 A_j に所定の電圧を印加して複数の該放電セル内にてそれぞれリセット放電を実施するリセット期間と、該走査電極 Y_n と該アドレス電極 A_j 間にて選択した放電セルにおいて書き込み放電を実施し、表示データに応じた選択的な書き込みを行うアドレス期間と、該アドレス期間にて書き込みを行った該放電セルにおいて前記表示のための放電発光を行うために、該維持電極 X_i と該走査電極 Y_n 間に維持放電パルスを印加する維持放電期間とを含む表示装置において、前記奇数フィールドのリセット期間における該奇数番目の維持電極 X_{2i-1} と該偶数番目の走査電極 Y_{2n} 間及び、該偶数番目の維持電極 X_{2i} と該奇数番目の走査電極 Y_{2n-1} 間の電位差、前記偶数フィールドのリセット期間における該奇数番目の維持電極 X_{2i-1} と該走査電極 Y_{2n-1} 間及び、偶数番目の該維持電極 X_{2i} と該走査電極 Y_{2n} 間の電位差が、それぞれ放電開始電圧未満に設定されるようにする。

【0046】

【発明の実施の形態】図1は本発明の第一の実施例を示す波形図であり、奇数フィールドと偶数フィールドとからなる1フレームの波形を示している。実際には図12に開示したように、奇数フィールド及び偶数フィールドはそれぞれサスティン期間の長さが異なる複数のサブフィールドを有しているが、ここでは簡単のために1サブフィールドのみを示した。

【0047】各サブフィールドは、図示のようにリセット期間、アドレス期間、サスティン期間とを有している。直前のサブフィールドが終了した際には、そのサブフィールドでの表示に応じた壁電荷が残存しているため、次のサブフィールド冒頭でのリセット期間によりリセット放電が行なわれる。この放電は維持電極 X_i と該走査電極 Y_n 間に、電極間の放電開始電圧を越える電圧を印加することにより生じさせる強放電であり、直前のサブフィールドでの放電状態に係わらず、各放電セルの電荷分布を均一にするものである。本発明では、リセット放電の際の各電極電位を、表示スリットでは放電開始電圧を越えるように、また非表示スリットでは放電開始電圧未満となるように設定するものである。

【0048】まず、本実施例における奇数フィールドの駆動を説明する。奇数フィールドにおいては、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ (i は自然数)に正

極性のパルス V_s を印加すると共に、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ (n は自然数)に負極性のパルス $-V_w$ を印加する。またそれと同時に、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} に負極性のパルス $-V_w$ を印加すると共に、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に正極性のパルス V_s を印加する。これによって、奇数フィールドにおける表示スリットである奇数番目の維持電極-走査電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ と、偶数番目の維持電極-走査電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ の電位差は、 $V_s + V_w$ となる。この $V_s + V_w$ を電極間の放電開始電圧以上とすることにより、各表示スリットではリセット放電が実施される。一方奇数フィールドにおける非表示スリットである奇数番目の走査電極-偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ と、偶数番目の走査電極-奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5, \dots, Y_{2n} - X_{2i-1}$ の電位差は、共に零であり、放電は生じない。従って本実施例では、表示スリットのみでのリセット放電が実施される。

【0049】なお、従来は全面書き込みパルスの印加と共にアドレス電極にパルス V_{aw} を印加していたが、本実施例では不要となる。これは各維持電極 X_i 及び走査電極 Y_n に印加する電圧が従来よりも低下したため、アドレス電極との間で放電を生じる可能性が無くなったためである。この放電により両電極上には互いに極性の異なる壁電荷が過剰に蓄積する。このため両電極の電位を等しく、具体的には接地電位とすることで、壁電荷自身による自己消去放電が生じ、壁電荷は中和される。

【0050】続くアドレス期間では、入力データ(映像データ)に応じた書き込み放電が行なわれる。ここでは奇数電極の書き込みを先に行い、次いで偶数電極の書き込みを行なう方法を採用した。すなわち奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ に順次スキャンパルス $-V_y$ を印加する。なお各走査電極 Y_n には、アドレス期間の間ベースパルス $-V_{sc}$ が印加されており、スキャンパルス $-V_y$ はベースパルス $-V_{sc}$ に重畳されることになる。アドレス電極 A_j には、入力信号に応じて選択的にデータパルス V_a が印加され、スキャンパルス $-V_y$ を印加した走査電極 Y_{2n-1} との間で放電が行なわれる。この際奇数フィールドでは、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ にのみパルス V_x を印加しているため、奇数番目の維持電極-走査電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ でのみ書き込み放電が行なわれることになり、両電極上に壁電荷が蓄積する。次に偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に順次スキャンパルス $-V_y$ を印加する。同様にアドレス電極 A_j に選択的なデータパルス V_a が印加されると共に、今度は偶数番目の維持電極 X_2, X_4, \dots, X_{2i} にのみパルス V_x が印加されるため、偶数番目の維持電極-走査電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ でのみ書き込

み放電が行なわれることになり、両電極上に壁電荷が蓄積する。

【0051】続くサステイン期間では、表示スリットを構成する維持電極 X_i と走査電極 Y_n とに、交互に維持放電パルス V_s を印加することで、書き込み放電が行なわれた放電セルにおいて維持放電が実施される。この際、非表示スリットを構成する維持電極 X_i —走査電極 Y_n 間で放電が生じないように、非表示スリットを構成する維持電極 X_i と走査電極 Y_n には同位相の電圧パルスが印加される。すなわち奇数フィールドでは、表示スリットを構成する、奇数番目の維持電極—走査電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ 及び、偶数番目の維持電極—走査電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ 間には交互に維持放電パルスが印加されるが、このパルスは非表示スリットを構成する奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ 及び、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5, \dots, Y_{2n} - X_{2i-1}$ 間では同位相となる。

【0052】次に偶数フィールドでは、表示スリットが奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ 及び、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5, \dots, Y_{2n} - X_{2i-1}$ 間に変更される。各表示スリットへの印加電圧は、奇数フィールドの際のそれと同一である。すなわち今度は、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ に正極性のパルス V_s を印加すると共に、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} に負極性のパルス— V_w を印加する。またそれと同時に、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に負極性のパルス— V_w を印加すると共に、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ に正極性のパルス V_s を印加する。これによって、偶数フィールドにおける表示スリットである奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ と、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5, \dots, Y_{2n} - X_{2i-1}$ の電位差が、電極間の放電開始電圧を越える $V_s + V_w$ となり、各表示スリットでリセット放電が実施される。一方偶数フィールドにおける非表示スリットである奇数番目の維持電極—走査電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ と、偶数番目の維持電極—走査電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ の電位差は、共に零であり、放電は生じない。従って表示スリットのみでのリセット放電が実施される。リセット放電終了後、奇数フィールドと同様に自己消去放電が生じ、リセット放電にて形成された壁電荷が中和される。

【0053】続くアドレス期間も、表示スリットが変更された点を除いて奇数フィールドと同様に実施される。すなわち奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ に

順次スキャンパルス— V_y を印加すると共に、アドレス電極 A_j に入力信号に応じた選データパルス V_a を印加する。この際偶数フィールドでは、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} にのみパルス V_x を印加しているため、奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ でのみ書き込み放電が行なわれることになり、両電極上に壁電荷が蓄積する。次に偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に順次スキャンパルス— V_y を印加する。同様にアドレス電極 A_j に選択的なデータパルス V_a が印加されると共に、今度は奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ にのみパルス V_x が印加されるため、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5, \dots, Y_{2n} - X_{2i-1}$ でのみ書き込み放電が行なわれることになり、両電極上に壁電荷が蓄積する。

【0054】続くサステイン期間も奇数フィールドと同様に、表示スリットを構成する維持電極 X_i と走査電極 Y_n とに交互に維持放電パルス V_s を印加することで、書き込み放電が行なわれた放電セルにおいて維持放電が実施される。すなわち偶数フィールドでは、表示スリットを構成する、奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ 及び、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5, \dots, Y_{2n} - X_{2i-1}$ 間には交互に維持放電パルスが印加されるが、このパルスは非表示スリットを構成する奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ 及び、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ では同位相となる。

【0055】また第一の実施例の変形例として、 V_s 及び— V_w を印加する電極を逆にすることも可能である。すなわち奇数フィールドでは、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ に負極性のパルス— V_w を印加すると共に、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ に正極性のパルス V_s を印加する。またそれと同時に、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} に正極性のパルス V_s を印加すると共に、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に負極性のパルス— V_w を印加するのである。偶数フィールドにおいても同様であり、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ に負極性のパルス— V_w を印加すると共に、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} に正極性のパルス V_s を印加する。またそれと同時に、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に正極性のパルス V_s を印加すると共に、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ に負極性のパルス— V_w を印加するのである。

【0056】図2は、本発明の第二の実施例を示す波形図であり、各フィールドのリセット期間以外は第一の実施例と同一である。本実施例では、従来技術と同様に電極間の放電開始電圧を越える $V_s + V_w$ の電圧を印加す

るスリットと、第一の実施例と同様に正極性のパルス V_s 及び負極性のパルス $-V_w$ を印加するスリットとを交互に設けるようにしたものである。

【0057】すなわち奇数フィールドでは、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3 \dots, X_{2i-1} - Y_{2n-1}$ において、走査電極 $Y_1, Y_3 \dots, Y_{2n-1}$ を接地電圧にすると共に、維持電極 $X_1, X_3 \dots, X_{2i-1}$ に $V_s + V_w$ のパルスを印加し、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4 \dots, X_{2i} - Y_{2n}$ において、維持電極 $X_2, X_4 \dots, X_{2i}$ に負極性のパルス $-V_w$ を、走査電極 $Y_2, Y_4 \dots, Y_{2n}$ に正極性のパルス V_s を印加するものである。この結果、非表示スリットとなる奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4 \dots, Y_{2n-1} - X_{2i}$ 及び、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5 \dots, Y_{2n} - X_{2i-1}$ では、共に電位差が電極間の放電開始電圧に達せず、リセット放電は生じない。なおこの際、 $V_s + V_w$ を印加した奇数番目の維持電極 $X_1, X_3 \dots, X_{2i-1}$ とアドレス電極 A_j との間で放電が生じないように、アドレス電極 A_j には所定のパルス V_{aw} を印加しておくことが望ましい。パルス V_{aw} の大きさとしては、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3 \dots, X_{2i-1} - Y_{2n-1}$ の中間電位と、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4 \dots, X_{2i} - Y_{2n}$ の中間電位との間の電位としておくのが適当である。この実施例では、ドライバ回路を簡略化するために、データパルス V_a と同電位とした。

【0058】一方偶数フィールドにおいても、表示スリットが変更されることを除いて奇数フィールドと同一であり、説明を省略する。また第二の実施例の変形例として、 $V_s + V_w$ を印加する電極を走査電極側とすることも可能である。すなわち奇数フィールドでは、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3 \dots, X_{2i-1} - Y_{2n-1}$ において、維持電極 $X_1, X_3 \dots, X_{2i-1}$ を接地電圧にすると共に、走査電極 $Y_1, Y_3 \dots, Y_{2n-1}$ に $V_s + V_w$ のパルスを印加するのである。この場合、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4 \dots, X_{2i} - Y_{2n}$ においては、維持電極 $X_2, X_4 \dots, X_{2i}$ に正極性のパルス V_s を、走査電極 $Y_2, Y_4 \dots, Y_{2n}$ に負極性のパルス $-V_w$ を印加すればよい。偶数フィールドにおいても同様である。

【0059】また、当然の事ながら、 $V_s + V_w$ のパルスを印加するスリットと、正極性のパルス V_s 及び負極性のパルス $-V_w$ を印加するスリットとを逆にすることも可能である。図3は、本発明の第三の実施例を示す波形図であり、リセット期間を除いて第一、第二の実施例と同一である。

【0060】この実施例も第二の実施例と同様に、放電開始電圧を越えるパルスを印加するスリットと、正極性

のパルス V_s 及び負極性のパルス $-V_w$ を印加するスリットとを交互に設けるようにしたものである。ただし本実施例では、放電開始電圧を越えるパルスとして、負極性の $-V_{yw} (= -V_s - V_w)$ を印加するものである。

【0061】すなわち奇数フィールドでは、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3 \dots, X_{2i-1} - Y_{2n-1}$ において、維持電極 $X_1, X_3 \dots, X_{2i-1}$ に負極性のパルス $-V_w$ を、走査電極 $Y_1, Y_3 \dots, Y_{2n-1}$ に正極性のパルス V_s を印加すると共に、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4 \dots, X_{2i} - Y_{2n}$ において、維持電極 $X_2, X_4 \dots, X_{2i}$ を接地電位にすると共に、走査電極 $Y_2, Y_4 \dots, Y_{2n}$ に負極性のパルス $-V_{yw}$ を印加するものである。この結果、非表示スリットとなる奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4 \dots, Y_{2n-1} - X_{2i}$ 及び、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5 \dots, Y_{2n} - X_{2i-1}$ では、共に電位差が放電開始電圧に達せず、リセット放電は生じない。そしてこの場合も、 $-V_{yw}$ を印加した偶数番目の走査電極 $Y_2, Y_4 \dots, Y_{2n}$ とアドレス電極 A_j との間で放電が生じないように、アドレス電極 A_j に所定のパルス V_{aw} を印加しておくことが望ましい。パルス V_{aw} の大きさとしては、やはり奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3 \dots, X_{2i-1} - Y_{2n-1}$ の中間電位と、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4 \dots, X_{2i} - Y_{2n}$ の中間電位との間の電位としておくのが適当であり、この場合負極性のパルスとなる。

【0062】一方偶数フィールドにおいても、表示スリットが変更されることを除いて奇数フィールドと同一であり、説明を省略する。また第三の実施例の変形例として、 $-V_{yw}$ を印加する電極を維持電極側にすることも可能である。すなわち奇数フィールドでは、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4 \dots, X_{2i} - Y_{2n}$ において、走査電極 $Y_2, Y_4 \dots, Y_{2i}$ を接地電圧にすると共に、維持電極 $X_2, X_4 \dots, X_{2n}$ に $-V_{yw}$ のパルスを印加するのである。この場合、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3 \dots, X_{2i-1} - Y_{2n-1}$ においては、維持電極 $X_1, X_3 \dots, X_{2i-1}$ に正極性のパルス V_s を、走査電極 $Y_1, Y_3 \dots, Y_{2n-1}$ に負極性のパルス $-V_w$ を印加すればよい。偶数フィールドにおいても同様である。

【0063】また、当然の事ながら、 $-V_{yw}$ のパルスを印加するスリットと、正極性のパルス V_s 及び負極性のパルス $-V_w$ を印加するスリットとを逆にすることも可能である。図4は、本発明の第四の実施例を示す波形図である。リセット期間以外は今までの実施例と同一であることは同様であるが、本実施例が前述の第一〜第三の実施例と大きく異なる点は、上記第一〜第三の実施例

が、各表示スリットのリセット放電を同一タイミングで同時に行なっていたのに対し、本実施例では異なるタイミングで行なっていることである。すなわち本実施例では、リセット期間をいわば第一のリセット期間と第二のリセット期間とに分割し、隣接する表示スリットにおけるリセット放電を上記異なるリセット期間で行なうようにしているのである。

【0064】具体的には、まず奇数フィールドのリセット期間において、前半に対応する第一のリセット期間で奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ のリセット放電を実施し、後半に対応する第二のリセット期間で偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ のリセット放電を実施する。本実施例では、奇数フィールドの第一のリセット期間において、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ を接地電位にすると共に、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ に電極間の放電開始電圧を越えるパルス $V_s + V_w$ を印加する。一方偶数番目の維持電極 X_2, X_4, \dots, X_{2i} を接地電位にすると共に、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} には正極性のパルス V_s を印加する。この結果、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ ではリセット放電が生じるが、その他の電極間では全て電位差が放電開始電圧に満たないため、放電は生じない。続く第二のリセット期間では、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} 電位を接地電位にすると共に、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} へ電極間の放電開始電圧を越えるパルス $V_s + V_w$ を印加することで、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ にリセット放電を生じさせる。一方奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ は接地電位に維持したまま、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ は、印加電位を $V_s + V_w$ から V_s へ降下させる。

【0065】ここで第一のリセット期間と同じように考えれば、奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ にて放電が生じないように、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ にパルス V_s を印加するべきであるが、これを行なうと、第一のリセット期間におけるリセット放電によって生じた壁電荷に基づいて奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ で維持放電が生じてしまう。このため奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ は、接地電位に維持したままとしている。しかしながら奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ には、第一のリセット期間におけるリセット放電によって正の壁電荷が蓄積されており、奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ の電位差を引き下げているため、放電は生じない。なお奇数番目の維持電極 $X_1,$

X_3, \dots, X_{2i-1} にパルス V_s を印加している理由は、接地電位まで降下させると、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ で自己消去放電が生じてしまい、奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ の電位差を引き下げるべき壁電荷が中和されてしまうためである。本実施例における自己消去放電は、第二のリセット期間終了後に、全表示スリットで同時に生じることになる。

【0066】なお、第一のリセット期間及び第二のリセット期間全般を通じて、前述の実施例と同じ理由から、アドレス電極 A_j に所定のパルス V_{aw} を印加しておくことが望ましい。パルス V_{aw} の大きさは、やはり奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ の中間電位と、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ の中間電位との間の電位としておくのが適当であり、ここではデータパルス V_a と同電位とした。

【0067】一方偶数フィールドにおいても、表示スリットが変更されることを除いて奇数フィールドと同一であり、説明は省略する。次に第四の実施例の変形例として、第一のリセット期間においてパルス $V_s + V_w$ を印加する電極を奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ とすることも可能である。この場合奇数フィールドでは、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ を接地電位とすることになり、またパルス V_s を印加する電極は偶数番目の維持電極 X_2, X_4, \dots, X_{2i} となる。続く第二のリセット期間では、パルス $V_s + V_w$ を偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に印加する一方、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ に印加していたパルス電位 $V_s + V_w$ を、 V_s へ降下させる。偶数番目の維持電極 X_2, X_4, \dots, X_{2i} 及び奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ は接地電位となる。偶数フィールドにおいても表示スリットが変わることを除いて奇数フィールドと同一である。

【0068】また奇数フィールドの第一のリセット期間において、パルス $V_s + V_w$ を偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ に印加し、パルス V_s を奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ に印加することで、第一及び第二のリセット期間中に放電を行なう表示スリットを逆にすることも可能である。

【0069】図5は、本発明の第五の実施例を示す波形図である。この実施例もリセット期間を分割して隣接する表示スリットのリセット放電を異なるタイミングで行なうものであり、前述の第四の実施例の改良版であるといえるだろう。すなわち奇数フィールドの第一のリセット期間では、第四の実施例と同様に、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ を接地電位にすると共に、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ に電極間の放電

開始電圧を越える正極性のパルス $V_s + V_w$ を印加する。一方偶数番目の維持電極 X_2, X_4, \dots, X_{2i} 及び走査電極 Y_2, Y_4, \dots, Y_{2n} には、共に正極性のパルス V_s を印加する。この結果、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ でのみリセット放電が生じ、他の電極間での放電の発生は防止される。この場合、正極性のパルス $V_s + V_w$ は、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ に印加することも可能である。続く第二のリセット期間では、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} を接地電位にすると共に、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} に正極性のパルス $V_s + V_w$ が印加される。一方奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ 及び走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ には、共に正極性のパルス V_s を印加する。この結果、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ でのみリセット放電が生じ、他の電極間での放電の発生は防止される。この場合、正極性のパルス $V_s + V_w$ は、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に印加することも可能である。

【0070】本実施例では、第一及び第二のリセット期間をそれぞれ完全に独立した工程としているため、各期間に印加されるパルスは時間的にも分離される。このため本実施例では、自己消去放電は各期間終了時に個別に生じることになる。なおアドレス電極 A_j へは、他の実施例と同様パルス V_{aw} を印加するが、このパルスは第一及び第二のリセット期間に合わせて分離されたものとなる。

【0071】一方偶数フィールドにおいても、表示スリットが変更されることを除いて奇数フィールドと同一である。図6は、本発明の第六の実施例を示す波形図である。本実施例もリセット期間を分割して隣接する表示スリットにおけるリセット放電を異なるタイミングで行なうものであるが、隣接する表示スリットに異なるタイミングで同一のパルスを印加している点が特徴である。

【0072】すなわち奇数フィールドの第一のリセット期間では、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ に正極性のパルス V_s を印加すると共に、走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ には負極性のパルス $-V_w$ を印加する。この際隣接する表示スリットを構成する偶数番目の維持電極 X_2, X_4, \dots, X_{2i} 及び走査電極 Y_2, Y_4, \dots, Y_{2n} は、共に接地電位とする。この結果、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2n-1}$ でのみリセット放電が生じ、他の電極間での放電の発生は防止される。続く第二のリセット期間では、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} に正極性のパルス V_s を印加すると共に、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} には負極性のパルス $-V_w$ を印加する。この際隣接する表示スリットを構成する奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ 及び走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ は、共に接地電位とする。この

結果、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2n}$ でのみリセット放電が生じ、他の電極間での放電の発生は防止される。

【0073】一方偶数フィールドの第一のリセット期間では、偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} に負極性のパルス $-V_w$ を印加すると共に、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ に正極性のパルス V_s を印加する。この際隣接する表示スリットを構成する奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ 及び偶数番目の維持電極 X_2, X_4, \dots, X_{2i} は、共に接地電位とする。この結果、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5, \dots, Y_{2n} - X_{2i-1}$ でのみリセット放電が生じ、他の電極間での放電の発生は防止される。続く第二のリセット期間では、奇数番目の走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ に負極性のパルス $-V_w$ を印加すると共に、偶数番目の維持電極 X_2, X_4, \dots, X_{2i} には正極性のパルス V_s を印加する。この際隣接する表示スリットを構成する偶数番目の走査電極 Y_2, Y_4, \dots, Y_{2n} 及び奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ は、共に接地電位とする。この結果、奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ でのみリセット放電が生じ、他の電極間での放電の発生は防止される。本実施例では、各電極に印加されるパルスが何れも放電開始電圧未満の電圧値をもつため、アドレス電極 A_j へのパルス印加は不要となる。

【0074】ここで注目すべきは、各電極には奇数フィールド及び偶数フィールドの各リセット期間において、同じパルスが印加されるということである。すなわちリセット期間において、維持電極 X_i に印加されるパルスは奇数フィールド及び偶数フィールドを通じて V_s であり、走査電極 Y_n に印加されるパルスは $-V_w$ だけである。このため本実施例では、各電極に印加するリセットパルスを、第一のリセット期間で印加するか第二のリセット期間で印加するかで、リセット放電を行なうスリットを選択できるのである。なお、維持電極 X_i 及び走査電極 Y_n に印加するパルスをそれぞれ逆にすることも可能である。すなわち例えば奇数フィールドの第一のリセット期間では、奇数番目の維持電極 $X_1, X_3, \dots, X_{2i-1}$ に負極性のパルス $-V_w$ を印加すると共に、走査電極 $Y_1, Y_3, \dots, Y_{2n-1}$ には正極性のパルス V_s を印加するのである。

【0075】図7は、本発明の第七の実施例を示す波形図である。本実施例は基本的に第六の実施例の改良であり、偶数フィールドにおいて第一のリセット期間でリセット放電を行なう表示スリットを、奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2n-1} - X_{2i}$ としたものである。しかしながら本実施例では、第二のリセット期間を実施するタイミングを変更し、アドレス期間の途中で第二のリセット期間を設ける。

方法を採用した。すなわち第一のリセット期間におけるリセット放電を、奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2i-1}$ にて実施したのち、まず当該電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2i-1}$ にて順次アドレス放電を実施する。その後第二のリセット期間におけるリセット放電を、偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2i}$ にて実施し、それから当該電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2i}$ でのアドレス放電を順次実施するものである。この実施例は、隣接する表示スリットにおいて、リセット期間だけでなくアドレス期間をも異なるタイミングで実施するものである。偶数フィールドにおいても、奇数フィールドと同様にアドレス期間が分離される。

【0076】なお、既に述べた第四の実施例を除く各実施例も、アドレス期間を分離する本実施例の方法を採用することが可能である。第一〜第三の実施例は、各表示スリットで同一のタイミングでリセット放電を行なうことを前提として説明してきたが、各電極に印加するパルスを変更することなく、隣接する表示スリットの内の一方向におけるリセット期間をアドレス期間の途中に設けることが可能である。第四の実施例は、第一のリセット期間にて生じた壁電荷を第二のリセット期間で使用しているため、二つのリセット期間を連続して実施する必要がある。

【0077】ところで奇数フィールドから偶数フィールドへ、又は偶数フィールドから奇数フィールドへと移行した際、直前のサブフィールドでの放電終了時に残留した壁電荷を完全に消去出来ない場合がある。例えば奇数フィールドから偶数フィールドへと移行する場合を考えると、奇数フィールドでは奇数番目の走査電極—維持電極間 $X_1 - Y_1, X_3 - Y_3, \dots, X_{2i-1} - Y_{2i-1}$ 及び偶数番目の走査電極—維持電極間 $X_2 - Y_2, X_4 - Y_4, \dots, X_{2i} - Y_{2i}$ にて放電が実施されていたわけである。従って残留壁電荷は、上記電極間の内寄りの領域に残る傾向がある。そして偶数フィールドにおける最初のサブフィールドのリセット期間でリセット放電が実施されるが、このリセット放電は奇数番目の走査電極—偶数番目の維持電極間 $Y_1 - X_2, Y_3 - X_4, \dots, Y_{2i-1} - X_{2i}$ と、偶数番目の走査電極—奇数番目の維持電極間 $Y_2 - X_3, Y_4 - X_5, \dots, Y_{2i} - X_{2i-1}$ にて実施される。この場合、リセット放電は上記電極間の内よりの領域で実施されるため、外よりの領域、すなわち直前のサブフィールドで放電を行なっていた電極間の内よりの領域に残留する壁電荷は消去されにくい傾向がある。

【0078】このため本発明では、奇数フィールドから偶数フィールドへ、又は偶数フィールドから奇数フィールドへと移行した際には、最初のサブフィールドに限り、図13に記載した従来技術のように、当該フィールドにおける非表示スリットを含む全ての電極間にリセ

ット放電を実施することが望ましい。例えば、奇数フィールド又は偶数フィールドの最初のサブフィールドにおいて、全ての走査電極 Y_n を接地電位にした状態で全ての維持電極 X_i に電極間の放電開始電圧を越えるパルス $V_s + V_w$ を印加すればよい。

【0079】図8は本発明のX側ドライバを示す回路図であり、3はX共通ドライバ、33はX正書込回路、34はX負書込回路A、35はX負書込回路Bである。X共通ドライバは、実際には奇数番目の電極 X_n に接続されるX共通ドライバAと、偶数番目の電極 X_n に接続されるX共通ドライバBとが用意される。そしてX正書込回路、X負書込回路A、X負書込回路Bのうち、第一の実施例では偶数番目の電極 X_n に接続する場合にX負書込回路Aが、第二の実施例では奇数番目の電極 X_n に接続する場合にX正書込回路が、偶数番目の電極 X_n に接続する場合にX負書込回路Aが、第三の実施例では奇数番目の電極 X_n に接続する場合にX負書込回路A及びX負書込回路Bが、第四及び第五の実施例では全ての電極に接続するドライバにおいてX正書込回路が採用される。第一の実施例における奇数番目の電極 X_n に接続する場合、第三の実施例における偶数番目の電極 X_n に接続する場合、また第六及び第七の実施例では、X正書込回路、X負書込回路A、X負書込回路Bのいずれも不要である。

【0080】X共通ドライバは、電位 V_s の電源配線と接地配線との間にスイッチ素子SW1とスイッチ素子SW2とが直列に接続され、スイッチ素子SW1にはダイオードD2が、スイッチ素子SW2にはダイオードD3が並列に接続されている。スイッチ素子SW1と電位 V_s との間には、電位 V_s 側がアノードとなるようにダイオードD1が接続されている。スイッチ素子SW3の一端はダイオードD19のアノードに接続されており、スイッチ素子SW4の一端はダイオードD20のカソードに接続されている。ダイオードD19のカソードとダイオードD20のアノードとは共通に接続され、スイッチ素子SW3及びスイッチ素子SW4の他端にはそれぞれ電位 V_x の電源配線が接続されている。スイッチ素子SW3にはダイオードD4が、スイッチ素子SW4にはダイオードD5が並列に接続されている。共通に接続されたダイオードD19のカソードとダイオードD20のアノードは、スイッチ素子SW1及びスイッチ素子SW2の接続点に接続されてX共通ドライバ3の出力となっている。

【0081】X正書込回路は、電位 V_w の電源配線と接地配線との間にスイッチ素子SW5とスイッチ素子SW6とが直列に接続され、スイッチ素子SW5にはダイオードD6が、スイッチ素子SW6にはダイオードD7が並列に接続されている。スイッチ素子SW5とスイッチ素子SW6との接続点にはキャパシタC1の一端が接続されており、他端はX共通ドライバ3の、スイッチ素子

SW1とダイオードD1との接続点に接続されている。

【0082】X負書込回路Aは、スイッチ素子SW7の一端がX共通ドライバの出力に接続され、他端がダイオードD21のアノードに接続されている。またスイッチ素子SW8の一端が $-V_w$ の電源配線に接続され、他端がダイオードD21のカソードに接続されている。スイッチ素子SW7にはダイオードD8が並列に接続され、スイッチ素子SW8にはダイオードD9が並列に接続されている。

【0083】X負書込回路Bは、X負書込回路Aにおけるスイッチ素子SW7及びダイオードD21の接続点と、 $-V_{yw}$ の電源配線との間に接続された、スイッチ素子SW9と、スイッチング素子SW9に並列に接続されたダイオードD10とから構成されている。X負書込回路AとX負書込回路Bとの接続点が、X側ドライバの出力端子となり、奇数番目の維持電極X。又は偶数番目の維持電極X。に接続される。ただしX負書込回路Aが採用されない場合は、X共通ドライバ3の出力が、X側ドライバの出力端子となる。

【0084】リセット期間においては、SW1、SW8、SW9を適宜オンさせ、電位 V_s 、 $-V_w$ 、 $-V_y$ を発生させる。なお $V_s + V_w$ を発生させる場合は、SW5をオンさせることにより、キャパシタC1の一端に印加されている電位 V_s に電位 V_w を上乗せする形で発生させる。またX負書込回路Aは、スイッチ素子SW7によって、X共通ドライバ3と電位 $-V_w$ とを分離させている。これはスイッチング素子SW8がオンする際に、ダイオードD3及びスイッチング素子SW8を介して接地電位から $-V_w$ の電源配線へと貫通電流が流れることを防止するためである。X負書込回路Aが動作する際にはスイッチ素子SW7をオフさせることで、上記貫通電流を防止することが可能である。

【0085】アドレス期間においては、表示スリットを選択するためのパルス V_x を、スイッチ素子SW3及びSW4を介して発生させる。ここで電位 V_x の供給に2つのスイッチ素子SW3、4を用いているのは、一方だけであると、アドレス電極 A_j へのアドレスパルス V_a の印加に伴い、電極間静電容量を介して維持電極 X_i の電位が変動してしまうことが分かったからである。電源配線 V_x に接続した2つのスイッチング素子SW3、4の接続点から出力を取り出すことにより、維持電極 X_i の電位の変動を防止することができる。

【0086】サステイン期間においては、スイッチ素子SW1を適宜オンすることにより、維持放電パルス V_s を発生する。なお本実施例では、各スイッチ素子として、大電力を供給可能なパワーFETであるD-FETを使用している。(X側ドライバのみモデル図にて図示) D-FETは基本的にソース、ドレインが固定であるため電流を一方にしか流さないが、同時に図示の逆方向の寄生ダイオードを有しているため、D-FETの

使用によって各素子に並列に接続するダイオードを省略することができる。

【0087】図9は、本発明のY側ドライバを示す回路図であり、4はYスキन्दライバ、5はY共通ドライバ、53はY正書込回路、54はY負書込回路A、55はY負書込回路Bである。Y共通ドライバは、実際には奇数番目の電極Y。に接続されるY共通ドライバAと、偶数番目の電極Y。に接続されるY共通ドライバBとが用意される。Yスキन्दライバは、各走査電極 Y_i に個別に接続され、各電極を個別に駆動するものであり、Y共通ドライバは、奇数番目の各走査電極Y。に接続するYスキन्दライバ又は偶数番目の各走査電極Y。に接続するYスキन्दライバに共通に接続され、奇数番目の走査電極Y。又は偶数番目の走査電極Y。を駆動するものである。そしてY正書込回路、Y負書込回路A、Y負書込回路のうち、第一、第六、第七の実施例では全ての電極に接続するドライバにY負書込回路Aが、第二の実施例では奇数の電極Y。に接続する場合にY正書込回路が、偶数の電極Y。に接続する場合にY負書込回路Aが、第三の実施例では奇数の電極Y。に接続する場合にY負書込回路Aが、偶数の電極Y。に接続する場合にY負書込回路Bが、第四の実施例では全ての電極に接続するドライバにY正書込回路が採用される。第五の実施例では、Y正書込回路、Y負書込回路A、Y負書込回路のいずれも不要である。

【0088】Y共通ドライバは、スイッチ素子SW10の一端が接地配線に接続され、他端が一方ではダイオードD11のアノードからカソードを通して電位 V_s の電源配線に接続され、他方ではダイオードD12のカソードからアノードを通して配線FVHに接続されている。配線FVHは、ダイオードD13のカソードからアノードを通りスイッチ素子SW11を介して電位 $-V_{sc}$ の電源配線に接続されている。またダイオードD14のアノードが電位 V_s の電源配線に接続され、カソードはスイッチ素子SW12の一端に接続されている。スイッチ素子SW12の他端は、一方ではダイオードD15のカソードからアノードを通して接地配線に接続され、他方ではスイッチ素子SW13を介して配線FLGに接続されている。配線FLGは、スイッチ素子SW14を介して電位 $-V_y$ の電源配線に接続されている。

【0089】Yスキन्दライバは、ダイオードD16のアノード、ダイオードD17のカソード、スイッチ素子SW15の一端及びスイッチ素子SW16の一端が共に対応する走査電極 Y_i に接続され、ダイオードD16のカソード及びスイッチ素子SW15の他端が配線FVHに接続され、ダイオードD17のアノード及びスイッチ素子SW16の他端が配線FLGに接続されている。

【0090】Y正書込回路は、電位 V_w の電源配線と接地配線との間にスイッチ素子SW17とスイッチ素子SW18とが直列に接続されており、スイッチ素子SW1

7とスイッチ素子SW18との接続点にはキャパシタC2の一端が接続されている。キャパシタC2の他端は、Y共通ドライバにおけるダイオードD14のカソードに接続されている。

【0091】Y負書込回路Aは、電位 $-V_w$ の電源配線にスイッチ素子SW19を介してカソードが接続されたダイオードD18を有しており、ダイオードD18のアノードは、Y共通ドライバの配線FVHに接続されている。Y負書込回路Bは、電位 $-V_{yw}$ の電源配線に一端が接続されたスイッチ素子SW20を有しており、スイッチ素子SW20の他端はY共通ドライバの配線FVHに接続されている。

【0092】リセット期間においては、スイッチ素子SW19又はSW20を適宜オンすることによってダイオードD16を介して電源配線 $-V_w$ 又は $-V_{yw}$ に電流が流れ込み、奇数番目の電極Y。又は偶数番目の電極Y。を電位 $-V_w$ 又は $-V_{yw}$ とすることができる。電位 V_s を供給する際には、スイッチ素子SW12及びSW13をオンとすることで、ダイオードD14及びダイオードD17を介して電位 V_s を供給することができる。また電位 $V_s + V_w$ を供給する際には、スイッチ素子SW17をオンすることにより、キャパシタC2に印加されている電位 V_s に電位 V_w が上乘せされる形で $V_s + V_w$ が生成され、ダイオードD17を介して奇数番目の電極Y。又は偶数番目の電極Y。に供給する。

【0093】アドレス期間においては、スイッチ素子SW11とSW14をオンにし、その他のスイッチ素子をオフにすることにより、非選択電位である $-V_{sc}$ と選択電位である $-V_y$ とが走査電極 Y_i に印加される。この際スイッチ素子SW13をオフにすることにより、ダイオードD15を通して電位 $-V_y$ の電源配線へ電流が流れ込むのを阻止している。この状態で、スイッチ素子SW16をオンにすることによりスキャンパルス用の電位 $-V_y$ が走査電極 Y_i に印加され、スイッチ素子SW15をオンにすることにより非選択電位である $-V_{sc}$ が走査電極 Y_i に印加される。この動作は、奇数番目の走査電極Y。及び偶数番目の走査電極Y。ごとに順次行われる。

【0094】正電位の走査電極 Y_i を0Vに低下させる場合には、スイッチ素子SW10をオンにし、その他のスイッチ素子をオフにする。これにより、走査電極 Y_i からダイオードD16、D12及びスイッチ素子SW10を通して、走査電極 Y_i を0Vにするための電流が流れる。負電位の走査電極 Y_i を0Vに上昇させる場合には、スイッチ素子SW13をオンにし、その他のスイッチ素子をオフにする。これにより、ダイオードD15からスイッチ素子SW13及びダイオードD17を通して、走査電極 Y_i を0Vにするための電流が流れる。

【0095】サステイン期間においては、スイッチ素子

SW12及びSW13をオンにし、その他のスイッチ素子をオフにすることにより、ダイオードD14、スイッチ素子SW12、SW13及びダイオードD17を通して走査電極 Y_i に電位 V_s が印加される。

【0096】

【発明の効果】本発明によれば、インターレース方式のプラズマディスプレイパネルにおいて、コントラスト低下させることなく各表示スリットでの確実なリセット放電の実施が可能となる。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示す波形図である。

【図2】本発明の第二の実施例を示す波形図である。

【図3】本発明の第三の実施例を示す波形図である。

【図4】本発明の第四の実施例を示す波形図である。

【図5】本発明の第五の実施例を示す波形図である。

【図6】本発明の第六の実施例を示す波形図である。

【図7】本発明の第七の実施例を示す波形図である。

【図8】本発明のX側ドライバを示す回路図である。

【図9】本発明のY側ドライバを示す回路図である。

【図10】インターレース方式のプラズマディスプレイパネルを示す平面図である。

【図11】インターレース方式のプラズマディスプレイパネルを示す断面図である。

【図12】インターレース方式のフレームの構成を示す図である。

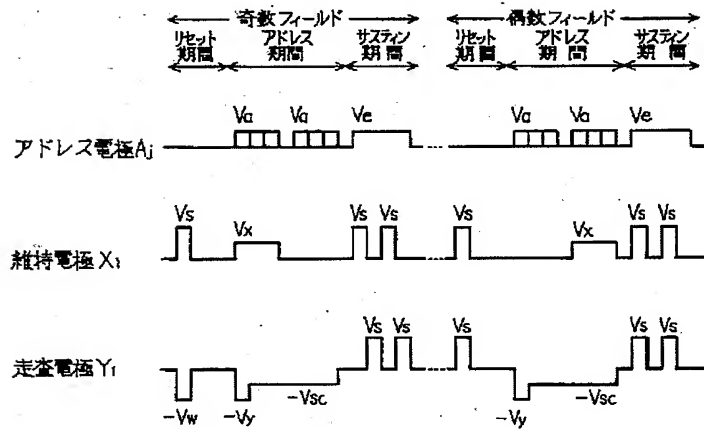
【図13】従来のインターレース駆動を示す波形図である。

【符号の説明】

- 1 パネル
- 11 背面ガラス基板
- 12, 17 誘電体層
- 13 放電空間
- 14 前面ガラス基板
- 15 透明電極
- 16 バス電極
- 2 障壁
- 3 X共通ドライバ
- 31 X共通ドライバA
- 32 X共通ドライバB
- 33 X正書込回路
- 34 X負書込回路A
- 35 X負書込回路B
- 4 Yスキャンドライバ
- 5 Y共通ドライバ
- 51 Y共通ドライバA
- 52 Y共通ドライバB
- 53 Y正書込回路
- 54 Y負書込回路A
- 55 Y負書込回路B

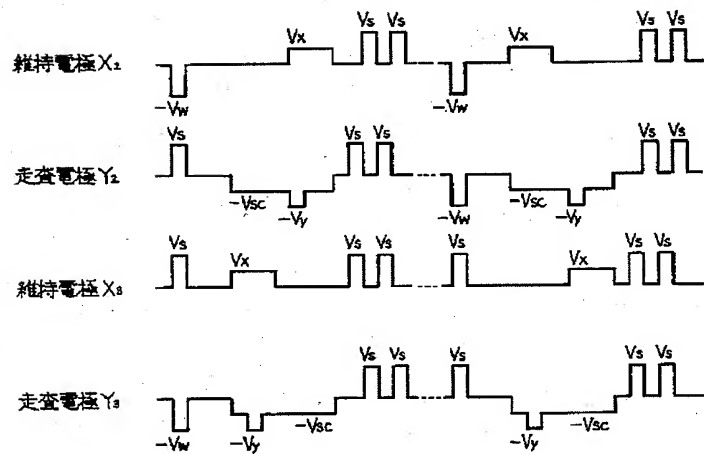
【図1-1】

第一の実施例を示す波形図



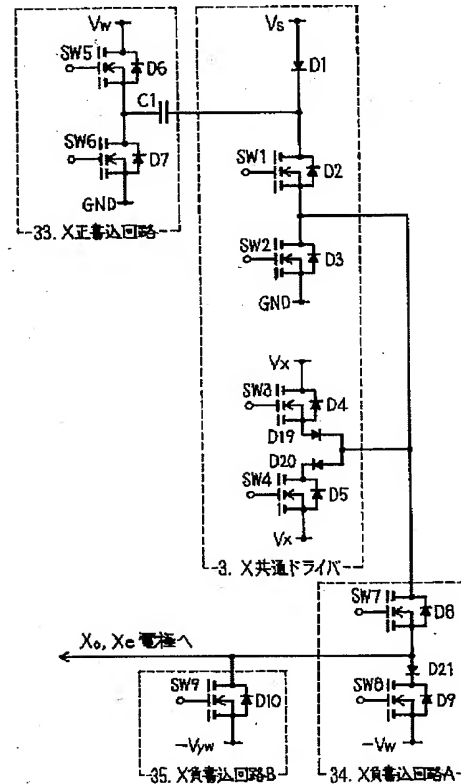
【図1-2】

第一の実施例を示す波形図



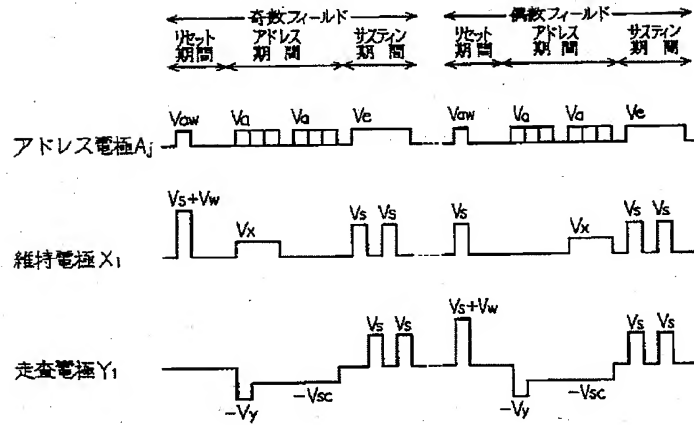
【図8】

本発明のX側ドライバを示す回路図



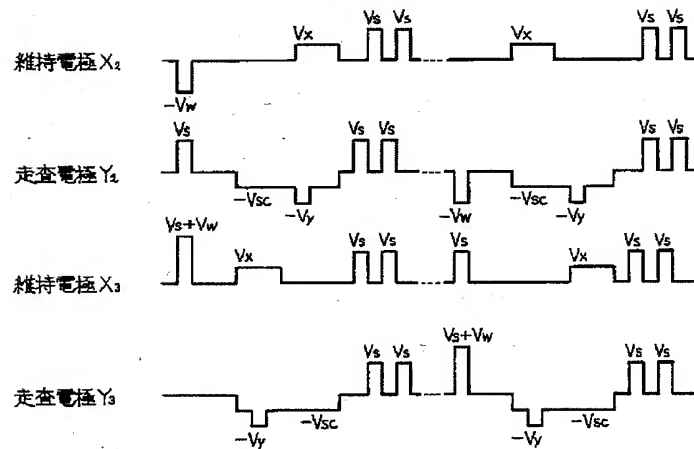
【図2-1】

第二の実施例を示す波形図



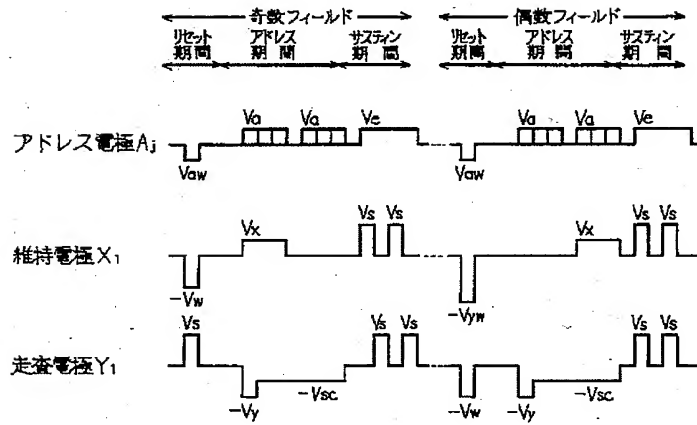
【図2-2】

第二の実施例を示す波形図



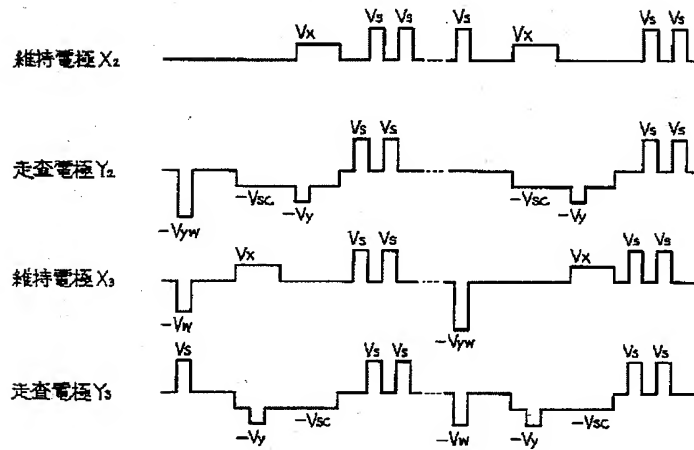
【図3-1】

第三の実施例を示す波形図



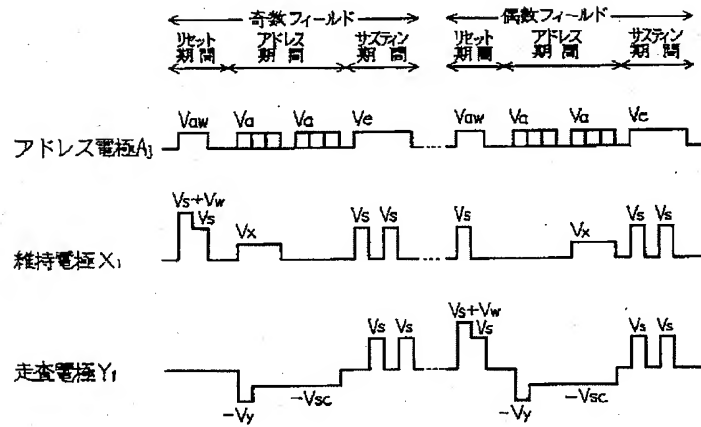
【図3-2】

第三の実施例を示す波形図



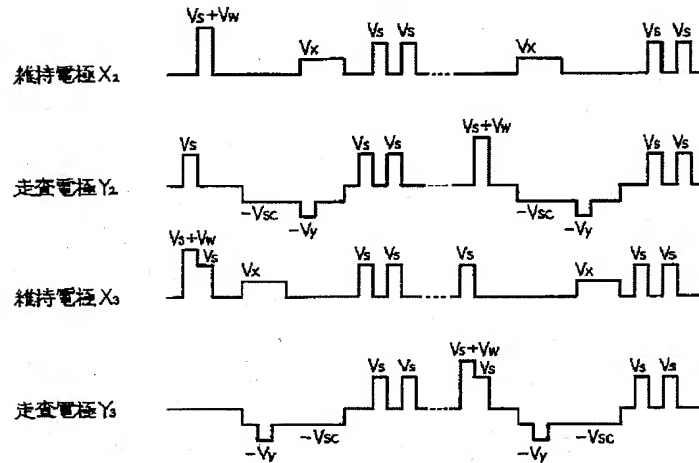
【図4-1】

第四の実施例を示す波形図



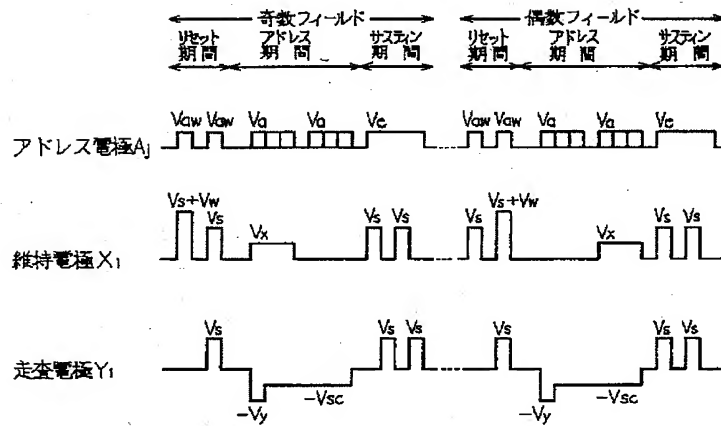
【図4-2】

第四の実施例を示す波形図



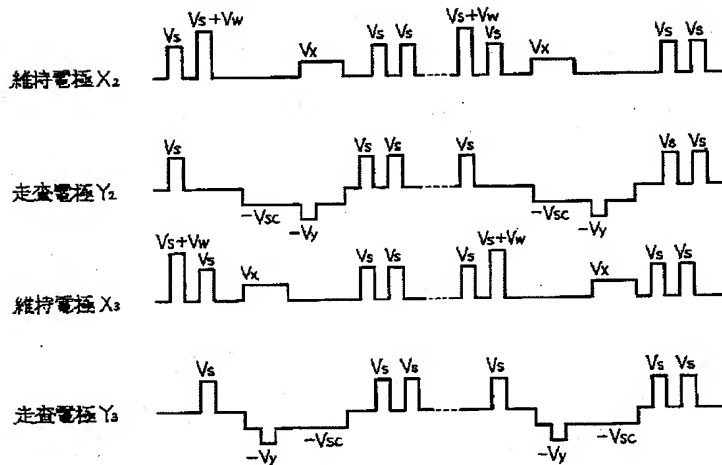
【図5-1】

第五の実施例を示す波形図



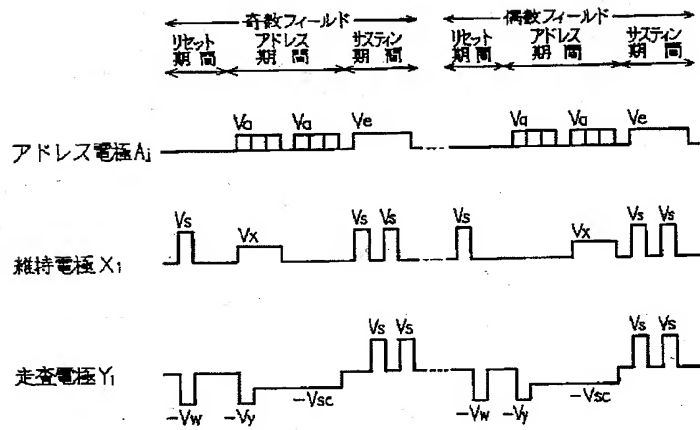
【図5-2】

第五の実施例を示す波形図



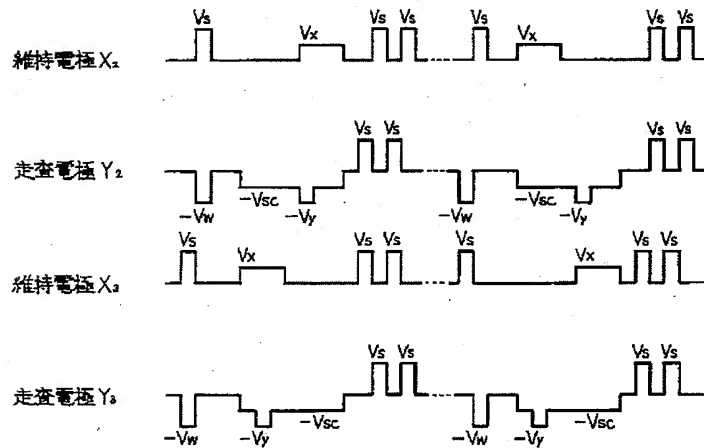
【図6-1】

第六の実施例を示す波形図



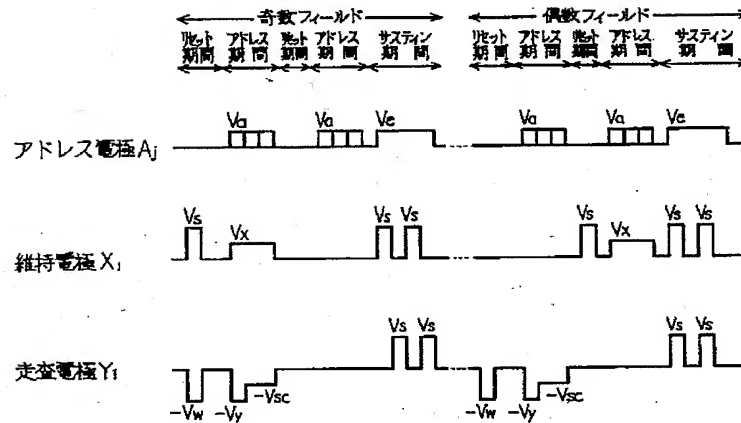
【図6-2】

第六の実施例を示す波形図



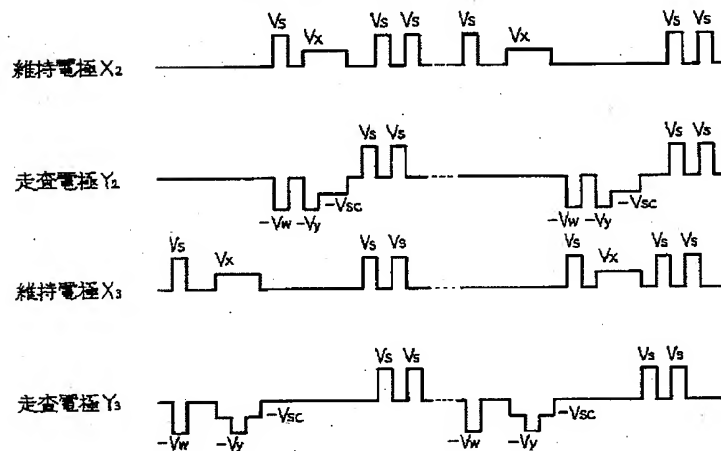
【図7-1】

第七の実施例を示す波形図



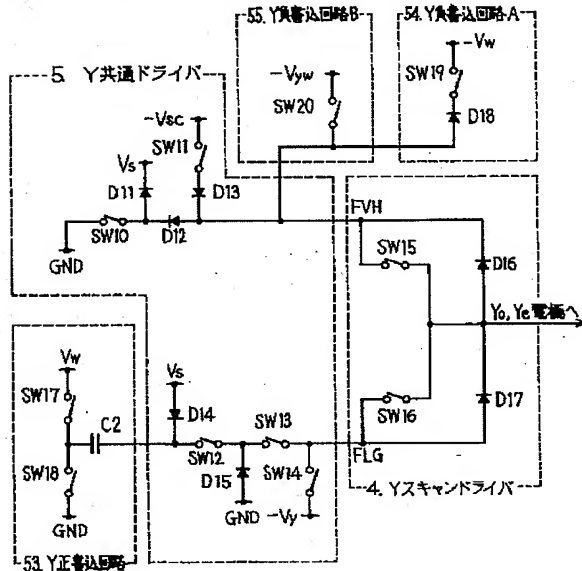
【図7-2】

第七の実施例を示す波形図



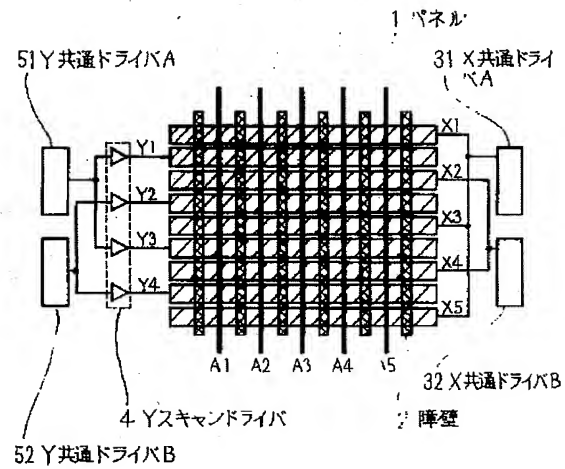
【図9】

本発明のY側ドライバを示す回路図



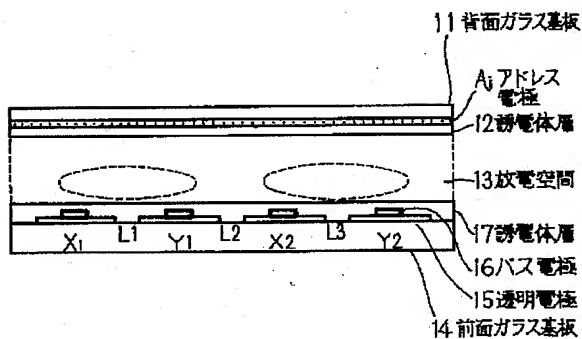
【図10】

インターレース方式のプラズマディスプレイパネルを示す平面図



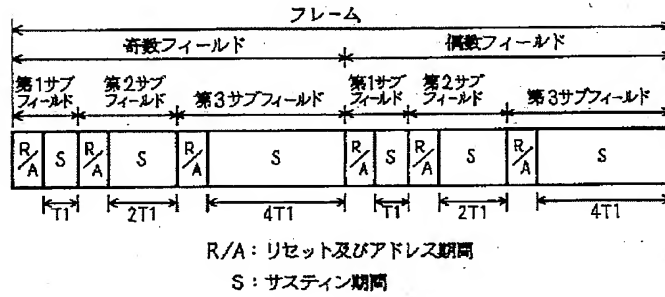
【図11】

インターレース方式のプラズマディスプレイパネルを示す断面図



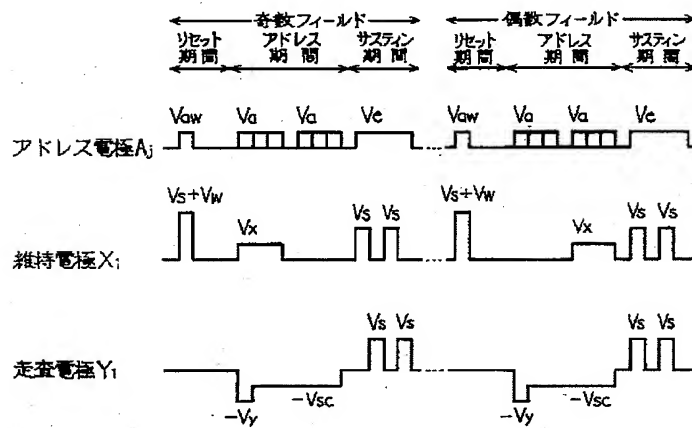
【図12】

インターレース方式のフレームの構成を示す図



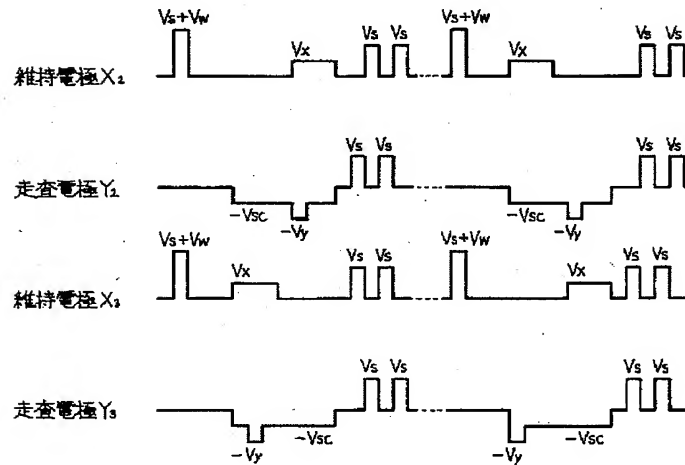
【図13-1】

従来のインターレース駆動を示す波形図



【図13-2】

従来のインターレース駆動を示す波形図



【手続補正書】

【提出日】平成9年3月21日

【手続補正1】

【補正対象書類名】図面

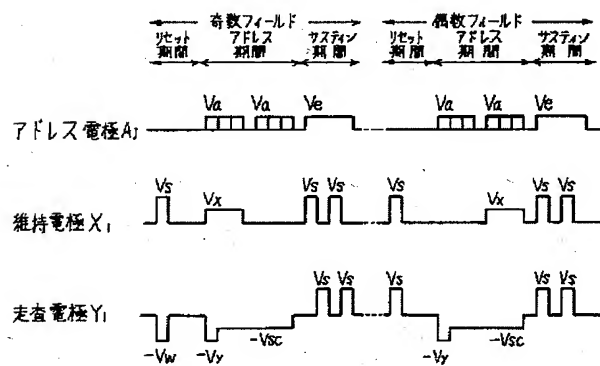
【補正対象項目名】全図

【補正方法】変更

【補正内容】

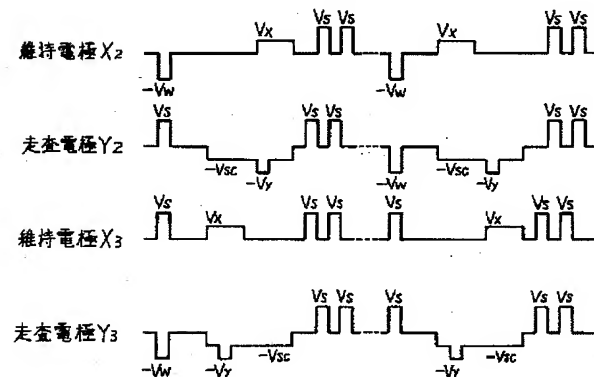
【図1a】

第一の実施例を示す波形図



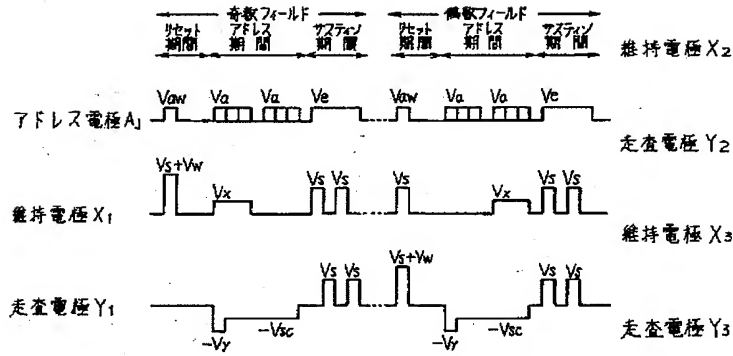
【図1b】

第一の実施例を示す波形図



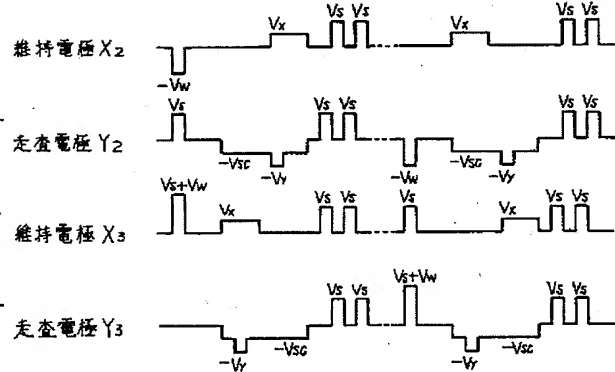
【図2a】

第二の実施例を示す波形図



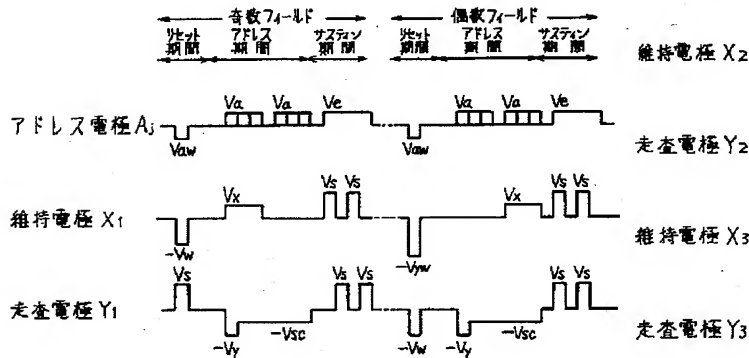
【図2b】

第二の実施例を示す波形図



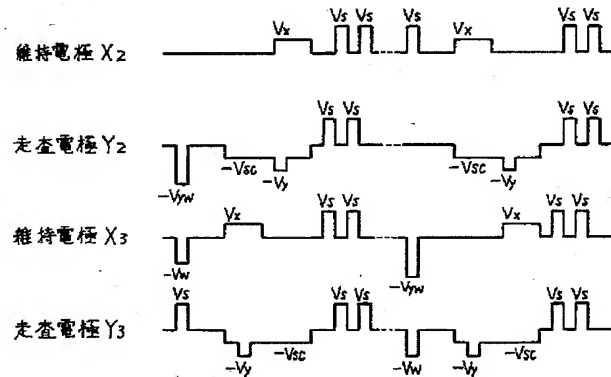
【図3a】

第三の実施例を示す波形図



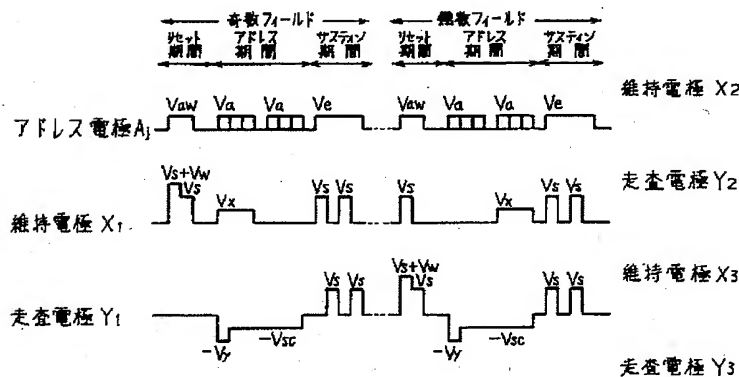
【図3b】

第三の実施例を示す波形図



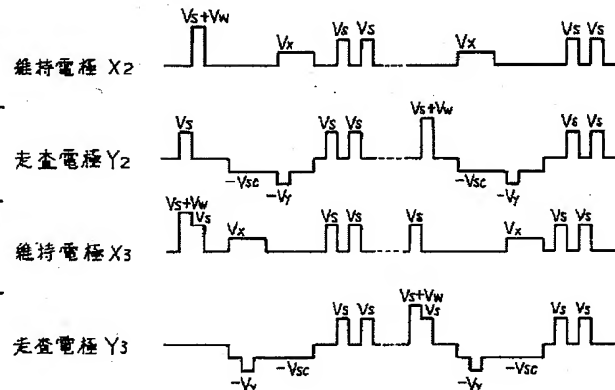
【図4a】

第四の実施例を示す波形図



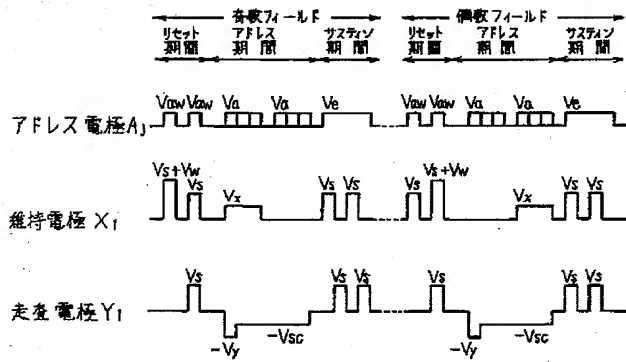
【図4b】

第四の実施例を示す波形図



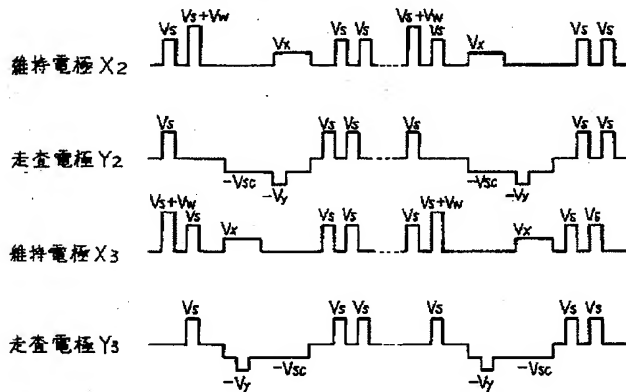
【図5a】

第五の実施例を示す波形図



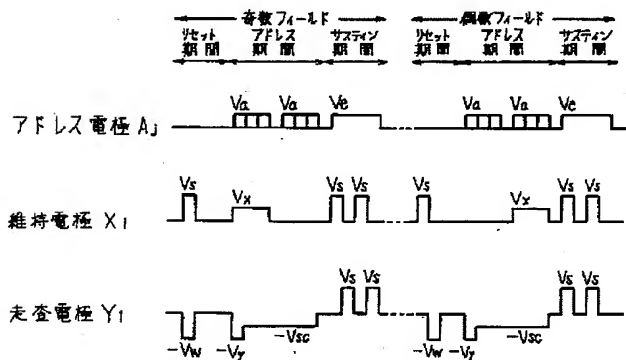
【図5b】

第五の実施例を示す波形図



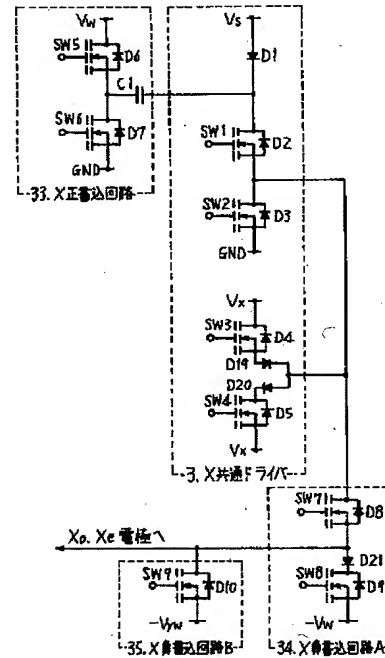
【図6a】

第六の実施例を示す波形図



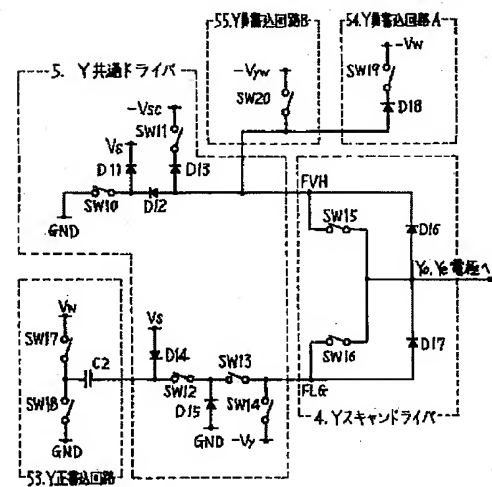
【図8】

本発明のX側ドライバを示す回路図



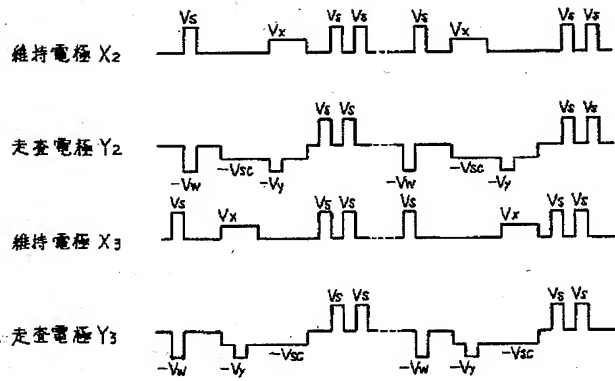
【図9】

本発明のY側ドライバを示す回路図



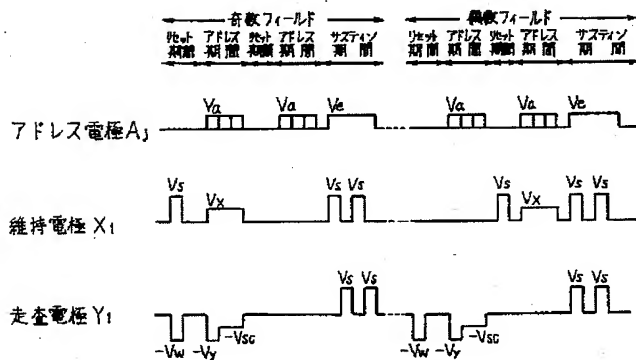
【図6b】

第六の実施例を示す波形図



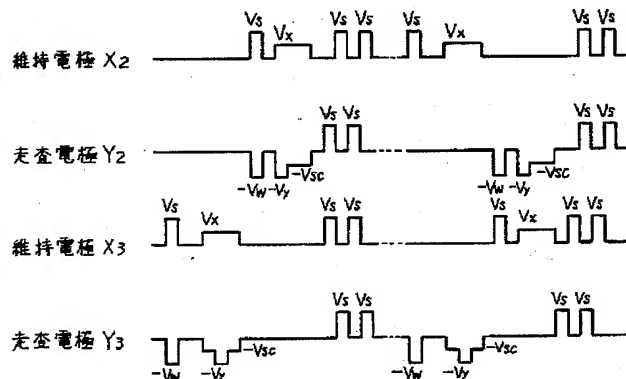
【図7a】

第七の実施例を示す波形図



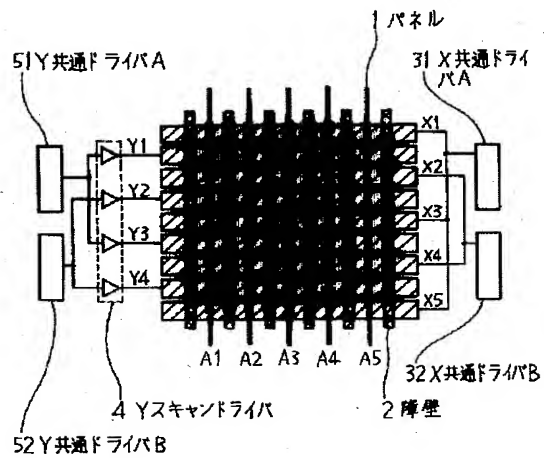
【図7b】

第七の実施例を示す波形図



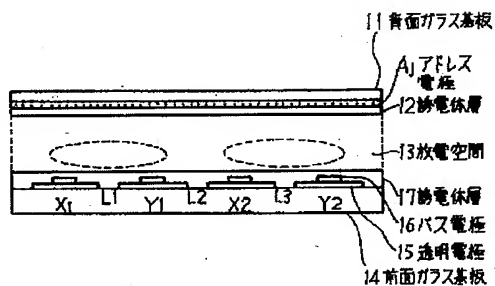
【図10】

インターレース方式のプラズマディスプレイパネルを示す平面図



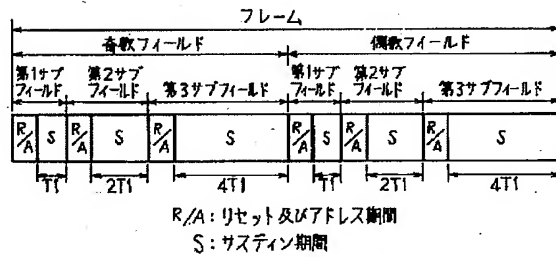
【図11】

インターレース方式のプラズマディスプレイパネルを示す断面図



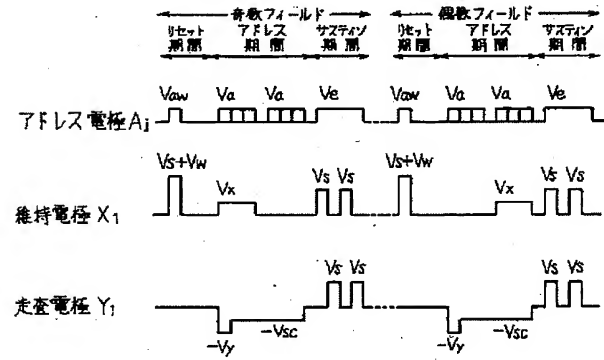
【図12】

インターレース方式のフレームの構成を示す図



【図13a】

従来のインターレース駆動を示す波形図



【図13b】

従来のインターレース駆動を示す波形図

